

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

Fonte de Tensão de Referência Ajustável Implementada com Transistores MOS

Autor: João Paulo Cerquinho Cajueiro

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

Tese de Doutorado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: **Eletrônica, Optoeletrônica e Microeletrônica.**

Banca Examinadora

Carlos Alberto dos Reis Filho, Dr. DSIF/FEEC/Unicamp
Fernando Cardoso Castaldo, Dr. DEE/UEL
Edval José Pinheiro Santos, Ph.D. DES/UFPE
Saulo Finco, Dr. CenPRA
Wilmar Bueno de Moraes, Dr. DEMIC/FEEC/Unicamp
José Antonio Siqueira Dias, Dr. DEMIC/FEEC/Unicamp

Campinas, SP

Novembro/2005

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

C124f Cajueiro, João Paulo Cerquinho
 Fonte de tensão de referência ajustável implementada
 com transistores MOS / João Paulo Cerquinho Cajueiro. --
 Campinas, SP: [s.n.], 2005.

 Orientador: Carlos Alberto dos Reis Filho
 Tese (doutorado) - Universidade Estadual de Campinas,
 Faculdade de Engenharia Elétrica e de Computação.

 1. Semicondutores de óxido metálico. 2. Circuitos
 integrados. 3. Sistemas eletrônicos analógicos. 4.
 Semicondutores. I. Reis Filho, Carlos Alberto dos. II.
 Universidade Estadual de Campinas. Faculdade de
 Engenharia Elétrica e de Computação. III. Título.

 Título em Inglês: Adjustable voltage reference source implemented with MOS
 transistors

 Palavras-chave em Inglês: Metallic oxide semiconductor, Integrated circuits, Analog
 electronic systems, Semiconductors, MOS transistor

 Área de concentração: Eletrônica, Optoeletrônica e Microeletrônica

 Titulação: Doutor em Engenharia Elétrica

 Banca examinadora: Fernando Cardoso Castaldo, Edval José Pinheiros Santos, Saulo
 Finco, Wilmar Bueno de Moraes e José Antonio Siqueira Dias

 Data da defesa: 18/11/2005

Resumo

Uma nova técnica de compensação de temperatura para implementar tensões de referência em circuitos CMOS é descrita, desde o seu fundamento teórico até a comprovação experimental feita com amostras de circuitos integrados protótipos que a implementam.

A técnica proposta se baseia no fato de que a tensão entre *gate*¹. e fonte, V_{GS} , de um transistor MOS pode tanto aumentar como diminuir com o aumento da temperatura, dependendo da corrente com que opera. Com base nisto, é possível empilhar n transistores, que estejam polarizados com uma corrente adequada de tal maneira que a queda de tensão sobre esta pilha de transistores, que tem amplitude nV_{GS} , tenha, ao mesmo tempo, a mesma taxa de variação térmica que a tensão V_{GS} produzida por um único transistor. Em tais condições, a diferença entre estas duas tensões é constante, tornando-se uma referência de tensão.

Uma implementação alternativa à pilha de transistores para produzir a tensão nV_{GS} consiste num único transistor de *gate* flutuante no qual a tensão V_{GS} equivalente tem amplitude ajustável em campo.

Diversos circuitos que se baseiam nesta técnica foram projetados e alguns deles fabricados em tecnologia CMOS 0,35 μm . O desempenho do melhor circuito fabricado atingiu coeficiente térmico de 100 ppm/°C na faixa térmica de -40 a 120 °C. Outras configurações foram simuladas mostrando que é possível atingir coeficientes térmicos menores que 10 ppm/°C.

O estado da arte é representado por referências de tensão que têm coeficientes térmicos de 1 ppm/°C na mesma faixa térmica em que se caracterizaram os circuitos desenvolvidos. Tais referências de tensão se baseiam principalmente nos circuitos chamados de *bandgap*. Há, também, um produto recente da empresa Intersil que utiliza um transistor que opera como memória analógica fornecendo uma tensão de referência memorizada com altíssima estabilidade térmica. O princípio em que este produto se baseia, entretanto, é diferente do que está sendo proposto neste trabalho apesar do uso comum de um transistor de *gate* flutuante.

A contribuição deste trabalho não está no desempenho que as fontes de referência que se baseiam no princípio atingiram. Sua contribuição reside na forma como pode ser implementada, utilizando somente transistores MOS e no fato de que tem amplitude ajustável em campo.

¹A palavra *gate* está sendo usada em toda a extensão do texto, em lugar da palavra "porta", para identificar o terminal de alta resistência de um transistor MOS

Abstract

A new technique of temperature compensation to implement a voltage reference in CMOS circuits is described, from theoretical basis to experimental evidence made with samples of integrated circuits prototypes that implement it.

The proposed technique is based on the fact that the voltage between gate and source, V_{GS} , of a MOS transistor can either increase or diminish with the increase of temperature, depending on the current with that it operates. Based on this, it is possible to pile up n transistors, that are polarized with an adequate current in such way that the voltage on this stack of transistors, that has amplitude nV_{GS} , has, at the same time, the same thermal variation than the V_{GS} voltage produced in only one transistor. In such conditions, the difference between these two voltages is constant, becoming a voltage reference.

An alternative implementation to the stack of transistors to produce the nV_{GS} voltage consists of a floating gate transistor in which equivalent V_{GS} has adjustable amplitude in field. Diverse circuits that are based on this technique had been projected and some of them manufactured in technology CMOS 0,35 μm . The performance of the best manufactured circuit reached 100 ppm/ $^{\circ}\text{C}$ of thermal coefficient in the thermal band of -40 to 120 $^{\circ}\text{C}$. Other configurations had been simulated showing that it is possible to reach thermal coefficients lesser than 10 ppm/ $^{\circ}\text{C}$.

The state of the art is represented by voltage references that have thermal coefficients of 1 ppm/ $^{\circ}\text{C}$ in the same thermal band where the developed circuits had been characterized. Such voltage references are mainly based on the circuits called bandgap. There is, also, a recent product of the Intersil company who uses a transistor that operates as analogical memory supplying a voltage reference memorized with highest thermal stability. The base principle of this product is, however, different of that being considered in this work despite the use of a floating gate transistor.

The contribution of this work is not in the performance that the reference sources that are based on the principle had reached. Its contribution inhabits in the form as it can be implemented, only using MOS transistors and in the fact that it has adjustable amplitude in field.

Ao povo brasileiro.

Agradecimentos

Agradeço à minha família, meu pai Luiz Cajueiro, minha mãe Maria de Fátima, meus irmãos Cris e Duda, pelo apoio incondicional que eu sempre tive em toda minha vida.

Agradeço a Lidiane, minha futura esposa, por ter aparecido para me ajudar nesta época complicada da vida.

Ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, por todo o conhecimento compartilhado.

Aos meus amigos e colegas, contemporâneos do laboratório Magneti-Marelli (que se tornaram muitos para eu citar com o risco de esquecer alguém), pelo prazer que foi trabalhar com eles.

Às instituições UNICAMP e CenPRA (valeu Wellington).

A Fábio e Castaldo, por me suportarem sob o mesmo teto no começo desta jornada.

Aos moradores da RepZe, que me suportaram sob o mesmo teto no final desta jornada.

Aos vários amigos que conheci em Campinas, pela saudade que vou ter de todos.

A todos os amigos que deixei em Recife.

Às instituições CAPES, FAPESP e CNPq, pelo apoio financeiro.

A Deus, porque ele é muito bom.

Sumário

Lista de Figuras	xiii
Lista de Tabelas	xvii
Glossário	xix
Lista de Símbolos	xxi
1 Introdução	1
1.1 Circuitos do tipo <i>Bandgap</i>	1
1.2 Relação exponencial entre tensão e corrente	3
1.3 Outros geradores de tensão de referência baseados em MOS	4
1.3.1 Um transistor MOS depleção e outro enriquecimento	4
1.3.2 Dois transistores MOS com diferentes funções trabalho do <i>gate</i>	5
1.3.3 Um transistor MOS tipo n e outro tipo p	6
1.3.4 Ponto estável	6
1.3.5 Carga armazenada em um transistor MOS <i>floating gate</i>	7
1.4 Conclusões	8
2 Componentes utilizados no projeto do gerador de tensão de referência	9
2.1 Introdução	9
2.2 Transistor MOS	9
2.3 Método de extração de V_{Th} , KP e resistência de dreno	13
2.4 Medidas de transistores do processo utilizado	15
2.5 Resistores	19
2.6 Resumo dos dados obtidos	23
2.7 Transistor MOS com <i>gate</i> flutuante	23
2.7.1 Estrutura de um transistor FGMOS	24
2.7.2 Modelo básico	25

2.7.3	Memória analógica	26
2.7.4	Programação Unipolar	29
2.8	Conclusões	32
3	Proposição de um novo princípio para a geração de uma tensão de referência	33
3.1	Introdução	33
3.2	Formulação	33
3.3	Variação de segunda ordem	38
3.4	Conclusões	41
4	Verificação experimental do princípio proposto	43
4.1	Introdução	43
4.2	Circuito	43
4.3	Verificação experimental	44
4.4	Ajuste da tensão de referência na temperatura ambiente – V_{R0}	46
4.5	Efeito do coeficiente térmico da corrente	49
4.6	Conclusões	50
5	Implementação	51
5.1	Introdução	51
5.2	Circuito proposto #1	51
5.2.1	Descrição do circuito	51
5.2.2	Circuito de <i>start-up</i>	52
5.2.3	Efeito de corpo	52
5.2.4	Coeficiente Térmico do resistor	53
5.2.5	Mecanismo de ajuste fino (<i>Trimming</i>)	54
5.2.6	Medidas do circuito REF1	55
5.3	Circuito Proposto #2	60
5.3.1	Descrição do circuito	60
5.3.2	Medidas do circuito REF2	61
5.4	Circuito Proposto #3	66
5.4.1	Resultados do circuito REF3	68
5.5	Circuito Proposto #4	70
5.5.1	Descrição do circuito	70
5.5.2	Medidas do circuito REF4	71
5.6	Considerações sobre a retenção de carga no transistor FGMOS	78
5.7	Resistência integrada e consumo de corrente	80
5.8	Circuito tipo <i>Bandgap</i>	81

5.8.1	Medidas do circuito <i>bandgap</i>	84
5.9	Conclusões	87
6	Discussão dos dados	89
6.1	Introdução	89
6.2	Comparação entre os circuitos	89
6.2.1	Coeficiente térmico	90
6.2.2	Rejeição de linha	90
6.2.3	Área e consumo	90
6.2.4	Mínima tensão de alimentação	91
6.2.5	Espalhamento	91
6.3	Continuação dos trabalhos	92
6.4	Conclusões	93
7	Conclusões	97
	Referências bibliográficas	98

Lista de Figuras

1.1	Fonte de referência baseada em transistores MOS de depleção e enriquecimento.	5
1.2	Circuito de referência de tensão baseado no ponto estável do transistor.	7
1.3	Referência de tensão baseada na carga aprisionada em um capacitor.	8
2.1	Estrutura básica de um transistor MOS de canal n.	10
2.2	Estrangulamento do canal de um transistor MOS canal n quando a tensão V_{DS} alcança o valor igual a $V_{GS} - V_{Th}$	12
2.3	Circuito de teste do transistor.	14
2.4	Medida da transistor no HP4155, mostrando I_D , a raiz quadrada de I_D (RID), e a linearização da raiz quadrada de I_D em função de V_{GS}	15
2.5	Exemplo da obtenção de V_{Th} , KP e resistência série. O máximo de $\frac{\partial \sqrt{I_D}}{\partial V_{GS}}$ serve para localizar a região linear de $\sqrt{I_D} \times V_{GS}$, que segue a equação do transistor na saturação.	16
2.6	Histograma dos valores medidos de KP na temperatura ambiente.	17
2.7	Histograma dos valores medidos de V_{Th} na temperatura ambiente.	17
2.8	Histograma dos valores medidos da resistência série na temperatura ambiente.	18
2.9	Medidas de KP em função da temperatura.	20
2.10	Medidas de V_{Th} em função da temperatura.	20
2.11	Histograma do resistência do resistor de poly de alta resistência na temperatura ambiente.	21
2.12	Comportamento do resistor integrado de polissilício de alta resistência em temperatura.	22
2.13	Estrutura de um transistor <i>floating gate</i>	24
2.14	<i>Layout</i> de um FGMOS implementado com capacitor poly-poço.	24
2.15	Diagrama esquemático de um transistor FGMOS com a) um <i>gate</i> de controle e c) dois <i>gates</i> de controle e seus respectivos símbolos b) e d).	25
2.16	Diagrama esquemático de um transistor FGMOS com detalhe das tensões V_{FG} e V_{GC}	25

2.17	Curva $I_D \times V_{FG}$ para o mesmo transistor FGMOS mudando a carga presa. . . .	27
2.18	Programação do FGMOS. (a) Aumentando o V_{Th_FG} . (b) Diminuindo o V_{Th_FG}	28
2.19	Diagrama de níveis de energia da estrutura de um FGMOS canal n com capacitor de entrada poly1–poly2 e sem carga presa.	29
2.20	Variação da tensão de limiar efetiva de um transistor FGMOS de acordo com o número de pulsos de programação.	30
2.21	(a) Símbolo de um FGMOS com um <i>gate</i> de controle grande e outro pequeno para programação unipolar. (b) Esquema para diminuir o V_{Th} . (c) Esquema para aumentar o V_{Th}	31
3.1	Cálculo da variação do valor da derivada de V_{GS} pela temperatura em função da corrente de dreno do transistor.	34
3.2	Circuito mínimo que gere a tensão de referência.	35
3.3	Tensão V_R em função da temperatura calculada para $\frac{\alpha I}{I_{P0}}$ variando entre -1000 ppm/°C e 14000 ppm/°C, com os parâmetros da tecnologia 0,35 μm	38
3.4	Variação da segunda derivada de V_R com temperatura em função do coeficiente térmico das correntes I_R e I_P	40
4.1	Fotografia do Chip FAPESP 108 B, destacando os transistores FGMOS.	43
4.2	Diagrama esquemático do protótipo utilizado para testar a referência de tensão.	44
4.3	Medidas da tensão V_R para uma corrente I_P de 10 μA e vários valores de I_R em função da temperatura, com ênfase para o melhor resultado.	45
4.4	Medidas da tensão V_R obtida para três valores distintos de corrente I_P com os respectivos valores de I_P que causam a estabilização em temperatura.	46
4.5	Medidas da tensão V_R em função da temperatura e da corrente I_R antes e depois do ajuste no transistor FGMOS.	47
4.6	Tensões V_R medidas com I_P de 10 μA antes e depois de ajustadas para o valor padrão.	48
4.7	Tensões V_R medidas com I_P de 10 μA depois de ajustadas para o valor padrão.	48
4.8	Tensões V_R medidas com I_P PTAT depois de ajustadas para o valor padrão.	49
5.1	Esquemáticos das (a) fonte referenciada a V_{Th} e (b) fonte de referência proposta REF1.	52
5.2	Ponto de estabilização do circuito.	53
5.3	Circuito REF1 com <i>start-up</i>	54
5.4	Esquemático do resistor com circuito de <i>trimming</i>	55
5.5	Fotomicrografia do Chip FAPESP108, com o circuito REF1 identificado no canto inferior direito.	56

5.6	Tensão de saída de REF1 em função da temperatura.(a)Para todos os trimmings e (b)melhor resultado	57
5.7	Tensão de saída do circuito REF1 em função da tensão de alimentação.	58
5.8	Esquemático da fonte de referência proposta REF2.	60
5.9	Fotomicrografia do <i>chip</i> FAPESP121B.	62
5.10	Fotomicrografia do circuito REF2.	63
5.11	Variação da tensão de saída do circuito REF2 após pulsos de programação de -15 V com largura de 2 s e -14,5 V com largura de 0,25 s.	64
5.12	Tensão de saída do circuito REF2 versus temperatura. As diferentes curvas se referem a diferentes valores da carga presa.	64
5.13	Medidas da tensão de saída do circuito REF2 versus temperatura comparadas com simulação.	65
5.14	Tensão de saída do circuito REF2 em função da tensão de alimentação.	66
5.15	Esquemático da fonte de referência proposta REF3.	67
5.16	Fotomicrografia do circuito REF3.	68
5.17	Simulação da tensão de saída do circuito REF3 versus temperatura.	69
5.18	Simulação da tensão de saída do circuito REF3 em função da tensão de alimentação.	69
5.19	Esquemático simplificado da fonte de referência proposta REF4.	70
5.20	Esquemático completo da fonte de referência proposta REF4.	71
5.21	Fotomicrografia do circuito REF4.	72
5.22	Corrente de saída do circuito REF4 em função da temperatura.	73
5.23	Correntes I_c e I_p do circuito REF4 em função da temperatura comparando a simulação com o medido.	74
5.24	Medidas em temperatura das tensões de saída do circuito REF4 para 4 diferentes amostras. Os símbolos cheios são o mínimo ajuste (<i>trimming</i> 0000) enquanto que os símbolos vazios são o máximo ajuste (<i>trimming</i> 1111).	75
5.25	Histograma da tensão de saída de REF4 com (a)mínimo <i>trimming</i> e (b)máximo <i>trimming</i>	76
5.26	Diagrama mostrando o posicionamento dos resistores utilizados no circuito REF4.	77
5.27	Tensão de saída do circuito REF4 em função da tensão de alimentação.	77
5.28	Tensões de saída dos circuitos REF2 variando com a temperatura ao longo de um teste de <i>endurance</i>	78
5.29	Histograma da variação da tensão de saída do circuito REF2 por conta de correntes de fuga em altas temperaturas.	79
5.30	Diagrama esquemático simplificado do <i>bandgap</i> projetado.	81
5.31	Simulação da tensão de saída do <i>bandgap</i> em função da temperatura.	82
5.32	Fotomicrografia da fonte de referência integrada tipo <i>bandgap</i>	83

5.33	Tensão de saída de uma das amostras do <i>bandgap</i> em função da temperatura, para os 16 valores possíveis de <i>trimming</i>	84
5.34	Tensão de saída do circuito <i>bandgap</i> em função da tensão de alimentação.	85
5.35	Histograma da tensão de saída do <i>bandgap</i> com (a)mínimo <i>trimming</i> e (b)máximo <i>trimming</i>	86
6.1	Diagrama esquemático da fonte de referência REF5.	93
6.2	Simulação da tensão de saída do circuito REF5 em função da tensão de alimentação do circuito.	94
6.3	Corrente de dreno do transistor M8 em função da temperatura.	94
6.4	Simulação da tensão de saída do circuito REF5 em função da temperatura.	95

Lista de Tabelas

2.1	Valores obtidos dos parâmetros das equações 2.9 e 2.10.	19
2.2	Valores de parâmetros de processo fornecidos pelo fabricante junto a valores extraídos dos transistores e resistores isolados.	23
3.1	Valor de V_R na temperatura T_0 para corrente constante e corrente PTAT na tecnologia AMS C35B4 (0,35 μm) e AMS CUP (0,6 μm).	38
3.2	Cálculo da variação de tensão pelo efeito de segunda ordem.	39
4.1	Resumo das medidas do protótipo	45
4.2	Valores médios e coeficientes térmicos da saída V_R do <i>chip</i> 1 (padrão) e do <i>chip</i> 2 antes e depois de ajustado por programação do FGMOS.	47
4.3	Valores médios e coeficientes térmicos da saída V_R dos <i>chips</i> 1 a 4 depois de ajustado por programação do FGMOS para corrente I_P constante de 10 μA e corrente PTAT.	49
5.1	Valores dos resistores do circuito	55
5.2	Dimensões dos transistores do circuito REF1.	55
5.3	Valores medidos da tensão de referência, do coeficiente térmico, da mínima tensão de alimentação e da rejeição de linha do circuito REF1 em comparação com os obtidos em simulação.	59
5.4	Dimensões dos transistores do circuito REF2.	61
5.5	Valores medidos da tensão de referência e do coeficiente térmico em comparação com os obtidos em simulação.	65
5.6	Dimensões dos transistores do circuito REF3.	67
5.7	Dimensões dos transistores do circuito REF4.	72
5.8	Valores médios e coeficientes térmicos das tensões de saída do circuito REF4. . .	75
5.9	Variação da tensão de saída do circuito REF2 por conta de correntes de fuga ao longo de nove horas em altas temperaturas.	80
6.1	Resumo dos valores medidos.	89

Glossário

A/D	- Analógico-digital
<i>chip</i>	- Circuito integrado
C	- Identificador de capacitores
CMOS	- Tecnologia de transistores MOS complementares
D/A	- Digital-analógico
DTMOS	- Sigla em inglês para MOS de limiar dinâmico <i>Dynamic Threshold MOS</i>
dreno	- Terminal de dreno de transistores MOS
FGMOS	- Sigla (em inglês) para <i>Floating Gate Metal-Oxide-Semiconductor</i>
fonte	- Terminal de fonte de transistores MOS
<i>gate</i>	- Terminal de porta de transistores MOS
M	- Identificador de transistores MOS
MOS	- Sigla para metal-óxido-semicondutor
NMOS	- Transistor MOS de canal N
OTA	- Amplificador de transcondutância, do inglês <i>Operational Transconductance Amplifier</i>
PMOS	- Transistor MOS de canal P
ppm	- Partes Por Milhão
PSRR	- Rejeição de linha, do inglês <i>Power Supply Rejection Ratio</i>
PTAT	- Proporcional à temperatura absoluta (do inglês <i>Proportional To the Absolute Temperature</i>)
Q	- Identificador de transistores bipolares
R	- Identificador de resistores
TC	- Coeficiente térmico (do inglês <i>Thermal Coefficient</i>)
<i>trimming</i>	- ajuste da tensão do circuito ou mecanismo de ajuste

Lista de Símbolos

α_μ	-	Coeficiente térmico da mobilidade
α_{vt}	-	Coeficiente de temperatura de primeira ordem da tensão de limiar
α_{vt2}	-	Coeficiente de temperatura de segunda ordem da tensão de limiar
γ	-	Coeficiente de efeito de corpo
μ	-	Mobilidade
μ_d	-	Mobilidade efetiva de transistores MOS de depleção
μ_e	-	Mobilidade efetiva de transistores MOS de enriquecimento
μ_n	-	Mobilidade efetiva de transistores MOS de canal n
μ_{n0}	-	Mobilidade μ_n à temperatura T_0
μ_p	-	Mobilidade efetiva de transistores MOS de canal p
C'_{OX}	-	Capacitância por unidade de área do <i>gate</i> de transistores MOS
I_C	-	Corrente de coletor de transistores bipolares
I_D	-	Corrente de dreno de transistores MOS
KP	-	Transcondutância do transistor MOS - $KP = \mu_n C'_{OX}$
KP_0	-	Transcondutância KP à temperatura T_0
L	-	Comprimento do canal de transistores MOS
T_0	-	27 graus Celsius
TC_R	-	Coeficiente térmico linear da resistência integrada
V_{BE}	-	Tensão entre base e emissor de transistores bipolares
V_{DD}	-	Tensão de alimentação
V_{G0}	-	Tensão equivalente à energia da faixa proibida do silício extrapolada para o zero absoluto
V_{GS}	-	Tensão entre <i>gate</i> e fonte de transistores MOS
V_t	-	Tensão térmica - $V_t = \frac{kT}{q}$
V_{Th}	-	Tensão de limiar de transistores MOS
V_{Th0}	-	Tensão de limiar à temperatura T_0
V_{SB}	-	Tensão entre fonte e substrato de transistores MOS
W	-	Largura do canal de transistores MOS

Capítulo 1

Introdução

Fontes de tensão (ou corrente) de referência são elementos de suma importância em vários circuitos integrados, tanto analógicos, como sensores, *mixed-signal*, tais quais conversores A/D e D/A, ou mesmo digitais, como células de memória, entre outros.

Uma fonte de tensão de referência gera uma tensão conhecida que, a princípio, é insensível à tensão de alimentação, temperatura e variações no processo. A insensibilidade de uma fonte de referência à carga é um fator pouco considerado, uma vez que é possível utilizar um *buffer*¹ na saída do circuito para obter maior capacidade de corrente. A insensibilidade à tensão de alimentação é importante, porém, já existem vários circuitos e técnicas que permitem obter uma boa independência da tensão produzida a variações na tensão de alimentação. Um problema mais complexo é a independência da temperatura, ou seja, como utilizar as características dos dispositivos da tecnologia disponível de modo a gerar uma tensão que seja independente da temperatura. Além disso, é muito importante que tais fontes sejam bastante insensíveis a pequenas variações do processo de fabricação e a descasamentos dos elementos empregados, para evitar grande variação da tensão obtida em diferentes amostras.

1.1 Circuitos do tipo *Bandgap*

O mais comum gerador de tensão de referência integrada é o chamado circuito *bandgap*². Este circuito foi criado por Widlar em 1971[1] e, desde então, vários circuitos que se baseiam no mesmo princípio foram desenvolvidos[2, 3, 4, 5, 6, 7, 8, 9, 10], inclusive utilizando tecnologia CMOS[11, 12, 13, 5, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25]. Este tipo de circuito gera uma tensão constante, que coincide com a tensão equivalente à energia da faixa proibida do silício extrapolada para o zero absoluto, chamada comumente de V_{G0} . Daí vem seu nome, uma

¹O termo *buffer* foi mantido no original inglês por ser comumente utilizado desta forma.

²Idem para o termo *bandgap*.

vez que, em inglês, a faixa de energia proibida é chamada de *bandgap*.

Estas fontes se baseiam no fato de que a tensão V_{BE} de um transistor bipolar polarizado com corrente I_C constante (ou a tensão direta de um diodo com corrente constante) diminui de forma quase linear com temperatura, tendo V_{G0} como sua amplitude extrapolada para 0 K[26] e de que a diferença entre as tensões base-emissor de dois transistores bipolares que operam com densidades de corrente diferentes (chamado de ΔV_{BE}) é proporcional à temperatura absoluta (em inglês, *Proportional To the Absolute Temperature* – PTAT). Implementando uma combinação adequada de V_{BE} e ΔV_{BE} é possível produzir uma tensão estável em temperatura.

$$V_{BG} = V_{BE} + k\Delta V_{BE} \cong V_{G0} \quad (1.1)$$

onde $k > 1$. Este resultado, no entanto, é aproximado, pois considera que V_{BE} varia linearmente com a temperatura, o que não é verdade. Esta não-linearidade do V_{BE} cria uma concavidade para baixo na curva $V_{BG} \times T$, levando a uma variação de dezenas de miliVolts na faixa de -40 a 120 °C.

Esta curvatura pode ser corrigida através de uma compensação térmica de segunda ordem, que é realizada acrescentando-se um outro termo não-linear à equação 1.1. Este termo pode ser esta mesma não-linearidade gerada em outra parte do circuito[27], um componente proporcional a T^2 [5], uma corrente que só existe em certas temperaturas[28], a corrente de base do próprio transistor[29, 30], entre outros. Utilizando esta técnica é possível diminuir a variação de tensão para poucos miliVolts ao longo da faixa de -40 a 120 °C.

Um grande problema em circuitos *bandgap* é a variação de tensão entre diferentes circuitos integrados (*chips*), causada principalmente pelo *offset* do amplificador operacional presente na maioria das implementações de circuitos *bandgap* e também pela variação dos próprios transistores bipolares utilizados. Soluções que minimizam estas variações existem, mas aumentam muito a complexidade dos circuitos[31].

O avanço de circuitos digitais tem forçado o desenvolvimento de circuitos analógicos em tecnologias desenvolvidas para circuitos digitais, o que implica no uso cada vez maior da tecnologia MOS para circuitos analógicos[32]. A partir disto, têm-se o desenvolvimento de circuitos *bandgap* em tecnologia MOS desde 1978[33]. O principal problema de implementação é a disponibilidade de dispositivos bipolares. Em uma tecnologia MOS são poucos os elementos disponíveis. Há dois tipos de transistores bipolares disponíveis em tecnologia CMOS: Um vertical, que tem o coletor fixado ao substrato, e um lateral, que tem baixíssimo ganho de corrente e que atinge a região de alta injeção a baixas tensões de V_{BE} [34].

Um dos elementos mais utilizados em circuitos *bandgap* MOS é o transistor bipolar vertical, que utiliza uma difusão de dreno como emissor, um poço como base e o substrato como coletor. Como este transistor obrigatoriamente tem o coletor aterrado, o seu uso é bastante limitado

e um *bandgap* implementado com ele não pode ter a estrutura clássica de Widlar[1] ou de Brokaw[2]. Além disso, devido ao fato de que a sua base é relativamente longa e pouco dopada, o beta deste transistor é muito baixo (aproximadamente 5 na tecnologia de $0,35\ \mu\text{m}$ [35]). Logo, a corrente de base deste elemento precisa ser levada em consideração no projeto.

O transistor bipolar lateral é um dispositivo de 5 terminais (emissor, base, coletor, *gate* e substrato)[36]. Polariza-se o *gate* muito abaixo do limiar, criando uma camada de inversão que aumenta o número de portadores na região do *gate*, que funciona então como a base entre duas difusões que agem como coletor e emissor. O transistor vertical é um parasita do lateral e, portanto, parte da corrente de coletor é perdida para o substrato, diminuindo a eficiência do dispositivo. Este dispositivo é utilizado quando é imprescindível a utilização de um transistor bipolar sem ter o coletor ou emissor preso ao substrato e cuja corrente seja maior que as encontradas em um MOS em fraca inversão, porém sua performance (em termos de eficiência) é muito pior que o bipolar vertical, portanto este último é mais utilizado em circuitos *bandgap*[31]. Apesar disto, existem na literatura alguns exemplos do uso de transistores bipolares laterais em fontes de referência[13].

1.2 Relação exponencial entre tensão e corrente

À semelhança do transistor bipolar, um transistor MOS também pode apresentar uma relação exponencial entre corrente e tensão, desde que operem na chamada região de fraca inversão.

A equação simplificada de um transistor MOS em fraca inversão é mostrada abaixo[37, 38]:

$$I_D = I_{D0} \frac{W}{L} e^{V_{G/n} Vt} \left(e^{-V_{S/n} Vt} - e^{-V_{D/n} Vt} \right) \quad (1.2)$$

De acordo com esta equação, a diferença entre duas tensões V_{GS} de transistores MOS na região de fraca inversão é proporcional à tensão térmica $Vt = \frac{KT}{q}$, assim como no caso da diferença de V_{BEs} de dispositivos bipolares. Então, assim como com transistores bipolares, é possível obter uma tensão PTAT dependente da geometria dos transistores e da relação entre suas correntes. Isso permite o desenvolvimento de fontes de tensão de referência somando esta tensão PTAT ao V_{BE} de um transistor bipolar vertical [39, 12].

O transistor de limiar dinâmico[40, 41], também conhecido pela sigla em inglês DTMOS (de *Dynamic Threshold MOS*), é um transistor MOS em que o *gate* está conectado ao poço. Ele pode ser visto como um transistor MOS onde a tensão de limiar varia juntamente com a tensão do *gate* (daí o nome) ou como um transistor lateral em que a tensão do *gate* é a mesma da base. Esta variação da tensão do *gate* atua como se o V_{BE} fosse virtualmente maior do que é,

causando uma corrente maior. Em temperatura, este V_{BE} virtual faz com que este dispositivo funcione como se fosse um bipolar com menor V_{G0} , o que permite o uso deste dispositivo em um circuito *bandgap* de baixa tensão[41]. Uma desvantagem é que este aparente V_{G0} deixa de ser uma constante do material e passa a depender do processo de fabricação (principalmente do V_{Th}), o que faz com que o espalhamento seja maior.

Ambos os dispositivos são polarizados próximos à tensão de limiar do transistor, levando a um expressivo descasamento entre os transistores[42].

1.3 Outros geradores de tensão de referência baseados em MOS

Além de circuitos tipo *bandgap*, existem outras formas de gerar uma tensão insensível à temperatura e a variações na fonte de alimentação em tecnologia MOS. Vários destes circuitos são baseados na diferença entre tensões de limiar (V_{Th}) de diferentes transistores, sendo a diferença entre as tensões de limiar (ΔV_{Th}) causada por diferentes fatores. São usados para gerar este ΔV_{Th} :

- Um transistor MOS depleção e outro enriquecimento
- Dois transistores MOS com diferentes funções trabalho do *gate*
- Um transistor MOS tipo n e outro tipo p
- Carga armazenada em um transistor MOS *floating gate*

Também é possível utilizar apenas um transistor MOS polarizado em um ponto $I_D \times V_{GS}$ estável em temperatura[43, 44].

1.3.1 Um transistor MOS depleção e outro enriquecimento

Em 1978 surgiram fontes de referência MOS baseadas na diferença das tensões de limiar de um dispositivo de enriquecimento e de depleção[45, 33] que utilizam o ΔV_{GS} como uma medida do ΔV_{Th} . O processo utilizado era NMOS, onde se têm disponíveis transistores de depleção, o que não acontece nos processos CMOS atuais.

Esta referência utiliza um amplificador para fazer que a corrente do transistor de enriquecimento tenha a mesma corrente que o de depleção, como mostra a figura 1.1. A princípio, a única diferença entre os dois seria a diferença entre suas tensões de limiar, por causa da carga implantada no transistor de depleção. Como esta carga não varia com temperatura, a diferença de tensão é estável em temperatura.

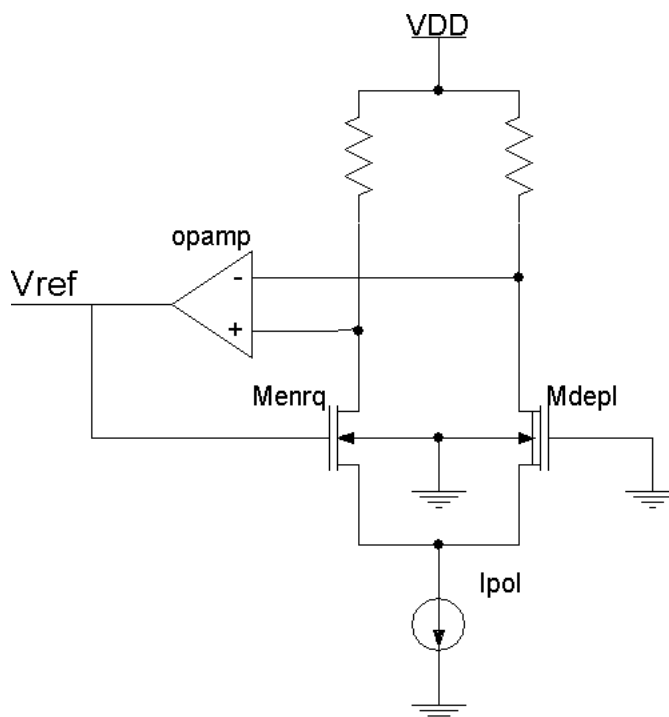


Figura 1.1: Fonte de referência baseada em transistores MOS de depleção e enriquecimento.

Uma falha nesta referência é que as mobilidades μ_e , do transistor de enriquecimento, e μ_d , do transistor de depleção, não são exatamente iguais, o que gera uma variação em temperatura da tensão de referência obtida.

1.3.2 Dois transistores MOS com diferentes funções trabalho do *gate*

Em 1980 foi desenvolvida uma fonte de referência baseada na diferença entre as tensões V_{GS} (ΔV_{GS}) de dois transistores MOS idênticos exceto pela função trabalho de seus *gates* (o que causa uma diferença em suas tensões de limiar). Esta diferença dos *gates* pode ser obtida, por exemplo, utilizando polissilício n+ em um *gate* e p+ no outro.

Novamente, o ΔV_{GS} funciona como uma medida da diferença das tensões de limiar, uma vez que a polarização do circuito faz com que as correntes nos dois transistores sejam idênticas.

Este tipo de circuito necessita de uma mudança no processo de fabricação para modificar a dopagem dos *gates* de modo a obter a diferença da função trabalho, o que encarece o processo. Além disso, a diferença da função trabalho não é constante em temperatura, de modo que se faz necessário somar a saída a uma tensão PTAT para obter uma tensão estável.

1.3.3 Um transistor MOS tipo n e outro tipo p

Mais recentemente foram propostas outras fontes de referência, compensando a variação da tensão de limiar de um transistor tipo p com a de um transistor tipo n[46]. Neste caso específico o ΔV_{GS} não é utilizado pois a mobilidade varia muito de um transistor tipo n para um tipo p; por isso este circuito apresenta dois subcircuitos extratores de V_{Th} , um que têm a saída proporcional ao V_{Th} do transistor p (V_{Thp}) e outro ao do transistor n (V_{Thn}), e utiliza estas duas tensões na saída para obter:

$$V_{ref} = k_1 \cdot |V_{Thp}| - k_2 \cdot V_{Thn} \quad (1.3)$$

Um problema comum a todos estes tipos de geradores de tensão de referência, e mais especificamente a este último, é o fato de que todos utilizam mais de um tipo de transistor, que têm diferenças nos processos de fabricação, o que faz com que a variação do processo influencie muito no resultado final.

1.3.4 Ponto estável

A corrente I_D de um transistor MOS pode tanto aumentar quanto diminuir com a temperatura, dependendo da tensão V_{GS} aplicada, havendo uma polarização específica na qual a derivada da corrente em função da temperatura é nula[44]. A partir da equação de um transistor MOS na saturação, se obtém que o V_{GS} que torna nula a derivada de I_D com a temperatura numa temperatura T_1 é dado pela equação 1.4, válida para qualquer temperatura T_1 enquanto a equação do transistor na saturação for válida:

$$V_{GS} = V_{Th}(T_1) - \left[2\mu_n \frac{\partial V_{Th}/\partial T}{\partial \mu_n/\partial T} \right] \Big|_{T=T_1} \quad (1.4)$$

Considerando que V_{Th} varia linearmente com a temperatura e para o caso específico da mobilidade seguir a equação $\mu_n = \mu_{n0} \left(\frac{T}{T_0} \right)^{-2}$ (onde T_0 é 300 K), o valor obtido para o V_{GS} é o mesmo em toda temperatura:

$$V_{GS} = V_{Th}(T_0) - \alpha_{vt} T_0 \quad (1.5)$$

onde α_{vt} é o coeficiente linear de V_{Th} em temperatura.

Um circuito simples que permite estabilizar o transistor próximo a este ponto é mostrado na figura 1.2. Os resistores são calculados de forma que a tensão sobre R1 seja a mesma tensão V_{GS} do ponto estável do transistor, fazendo com que V_{ref} tenha este mesmo valor, como desejado. Com este circuito deve-se, porém, levar em conta a variação térmica dos resistores.

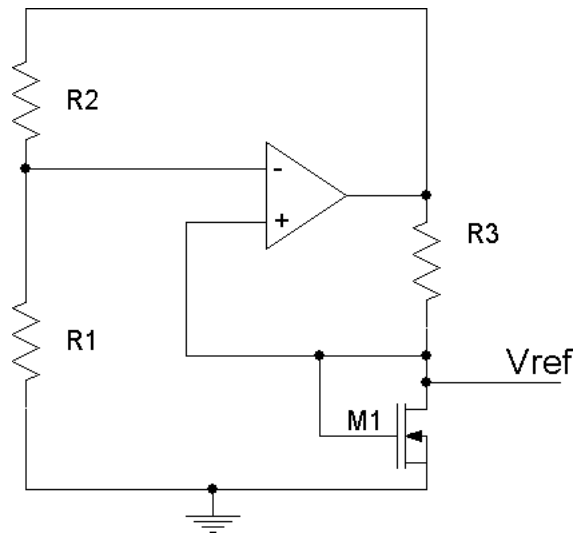


Figura 1.2: Circuito de referência de tensão baseado no ponto estável do transistor.

Entretanto, a mobilidade só segue tal equação em tecnologias bem específicas, o que faz com que tal circuito não possa ser implementado na maioria das tecnologias. Por exemplo, este circuito foi implementado com um transistor nMOS da tecnologia de $0,35\ \mu\text{m}$, mas este tipo de circuito com o transistor pMOS desta mesma tecnologia não é viável, pois o comportamento térmico da mobilidade neste dispositivo leva a uma maior variação da tensão em função da temperatura. Além disso, este ponto termicamente estável é muito dependente do processo, mudando muito entre *chips* e entre rodadas, o que deve fazer com que a tensão obtida varie muito entre *chips*.

1.3.5 Carga armazenada em um transistor MOS *floating gate*

Uma técnica recente de geração de uma tensão estável em temperatura é a de armazenar a tensão como uma carga em um capacitor. Nesta situação a variação com temperatura é muito pequena, pois, não havendo fuga, a carga se mantém constante.

São necessários capacitores de ótima qualidade para um gerador de tensão de referência baseado neste princípio, pois qualquer fuga de corrente modificaria a tensão com o tempo, mas atualmente capacitâncias integradas alcançam uma qualidade tal que permite seu uso neste tipo de aplicação.

No caso específico da fonte de referência que usa este princípio[47], a carga é armazenada numa estrutura conhecida por transistor MOS *floating gate*[48], ou transistor MOS com *gate* flutuante, que nada mais é do que um transistor normal cujo *gate* é conectado apenas a capacitores, estrutura que é mostrada com mais detalhes no capítulo 2. Deste modo é possível armazenar carga neste *gate* e esta carga é medida como sendo o V_{GS} de outro transistor com

a mesma corrente. A figura 1.3 mostra o circuito desta referência. Outros elementos, que não são mostrados na figura, são necessários para armazenar a carga no capacitor.

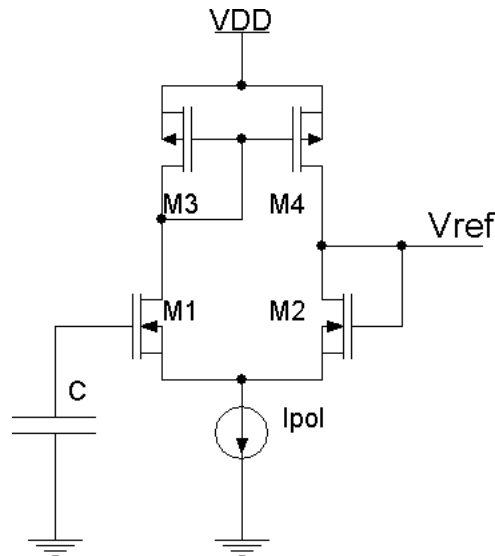


Figura 1.3: Referência de tensão baseada na carga aprisionada em um capacitor.

Uma característica mais negativa de tal referência ainda é a perda de carga, que impede seu uso em altas temperaturas. Além disso, capacitâncias integradas não são completamente independentes da temperatura, mas sofrem variação por conta de três fatores principais[49]:

1. Expansão térmica de sua área e da largura do dielétrico — aproximadamente 6 ppm/°C.
2. Variação da carga espacial na superfície do capacitor — até 20 ppm/°C, dependendo do material e da tensão sobre o capacitor.
3. Variação do valor da constante dielétrica do óxido — de 20 a 26 ppm/°C.

1.4 Conclusões

Observa-se que vários circuitos fontes de referência de tensão realizados em tecnologia CMOS já surgiram na literatura, mas estes circuitos apresentam diversos problemas, sendo um deles que, na maioria das vezes, estas referências sofrem muito com as variações do processo, de onde surge a necessidade de um novo método para gerar uma tensão de referência.

Este trabalho apresenta o desenvolvimento de um novo tipo de referência de tensão baseada em transistores MOS, e portanto compatível com a tecnologia CMOS, de área reduzida, baixo consumo, e que através de seu método de ajuste por meio de transistores MOS com *gate* flutuante, que não necessita de uma grande estrutura para ser realizado, pode ser ajustado para uma ampla faixa de valores e apresentar uma variação extremamente pequena entre *chips*.

Capítulo 2

Componentes utilizados no projeto do gerador de tensão de referência

2.1 Introdução

Este capítulo trata do estudo dos elementos disponíveis na tecnologia MOS. A análise do comportamento térmico destes elementos permitirá a criação de um circuito que gere uma tensão estável em temperatura. Os componentes principais utilizados para gerar a referência de tensão proposta são transistores MOS e resistores integrados. Uma análise dos modelos destes elementos é realizada neste capítulo e os modelos utilizados são comparados com medidas realizadas em várias amostras para comprovar sua fidedignidade.

Outro elemento também presente em alguns dos circuitos realizados é o transistor FGMOS. A estrutura básica de um FGMOS é descrita e a partir dela se obtêm um modelo simplificado deste dispositivo. Seu funcionamento como memória analógica é explicado e os métodos utilizados para escrita e leitura desta memória são descritos.

2.2 Transistor MOS

Estudos sobre o descasamento em transistores MOS mostram que o descasamento entre transistores diminui com o aumento da tensão entre *gate* e fonte e é máximo na região de sublimiar (próximo à tensão de limiar)[42]. O descasamento dos transistores leva a erros na tensão de referência gerada, portanto foi escolhido trabalhar com os transistores operando em forte inversão. Além disso, na grande maioria dos circuitos analógicos, opera-se com o transistor na saturação, por este motivo, a análise dos transistores será mais enfocada nesta região.

A figura 2.1 mostra a estrutura básica de um MOS canal n, formado por um substrato (ou poço) de silício tipo p pouco dopado, duas regiões de silício tipo n altamente dopado, que são

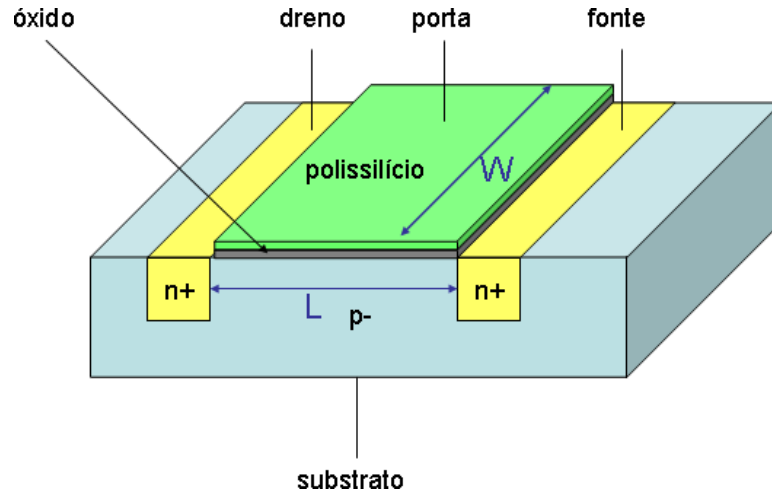


Figura 2.1: Estrutura básica de um transistor MOS de canal n.

o dreno e a fonte, e um capacitor sobre a região do substrato entre dreno e fonte. O metal (em tecnologias antigas) ou polissilício (nas tecnologias atuais) da placa do capacitor oposta ao substrato é o terminal de *gate*, ou porta.

Aplicando uma tensão positiva entre o *gate* e o substrato e mantendo o dreno e a fonte na mesma tensão do substrato, cargas positivas são atraídas para a superfície do capacitor do lado do *gate* (na verdade elétrons são expelidos) e cargas negativas são atraídas para o capacitor no lado do substrato. Parte destas cargas são de depleção, ou seja, é de íons formados no material e, portanto, não estão livres; porém, outra parte destas cargas são de elétrons livres, a chamada carga de inversão $-Q_I$, que cria um canal entre o dreno e a fonte por onde pode passar corrente.

A quantidade de carga de inversão por unidade de área no canal segue uma equação bastante complexa[50]:

$$Q'_I = -\sqrt{2q\epsilon_s Na} \left(\sqrt{\psi + V_t \exp\left(\frac{\psi - 2\phi_F}{V_t}\right)} - \sqrt{\psi} \right) \quad (2.1)$$

onde q é a carga de um elétron, Na é a concentração de dopantes aceitadores, que é aproximadamente igual a de portadores livres no substrato, ψ é o potencial na interface Si/SiO₂ do substrato, $V_t = \frac{kT}{q}$ é a tensão térmica e ϕ_F é o nível de Fermi.

Uma grande simplificação pode ser feita se for considerado que a carga de inversão só existe a partir de um determinado potencial de superfície, ou seja, só há inversão no momento em que o potencial na superfície do silício for aproximadamente o dobro da diferença entre o nível de Fermi e o potencial de meia-banda (pois nesta situação o material tem vários elétrons livres e muito poucas lacunas, como se fosse dopado n- – ou seja, o material aparenta estar invertido). A tensão V_{GS} entre *gate* e a fonte (que é a mesma tensão entre *gate* e substrato já que a fonte está na mesma tensão do substrato) na qual ocorreria a inversão é chamada de tensão de limiar,

V_{Th} .

O valor aproximado de V_{Th} é dado por:

$$V_{Th} = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F + V_{SB}} \quad (2.2)$$

onde V_{FB} é a tensão de *flatband*¹ da estrutura, V_{SB} é a tensão entre fonte e substrato e $\gamma = \frac{\sqrt{2q\epsilon_s Na}}{C'_{OX}}$.

Considerando este modelo, se o transistor tem uma tensão V_{GS} maior que V_{Th} e for aplicada uma tensão entre dreno e fonte, uma corrente atravessa o canal. A diferença de tensão entre dreno e fonte faz com que a tensão ao longo da superfície do canal varie, o que faz com que a densidade de carga em cada ponto do canal também varie.

Uma equação simplificada, considerando uma variação linear da tensão de superfície ao longo do canal, é:

$$Q'_I(x) = C'_{OX} [V_{GS} - \psi(x) - V_{Th}] \quad (2.3)$$

onde C'_{OX} é a capacitância por unidade de área do *gate*, x é a posição ao longo do comprimento do *gate* ($x = 0$ é junto à fonte e $x = L$ é junto ao dreno) e $\psi(x)$ é a tensão na superfície ao longo do comprimento do canal, assim $\psi(0) = 0$ e $\psi(L) = V_{DS}$ (considerando o substrato conectado à fonte).

E a corrente de deriva calculada ao longo do comprimento do canal é dada por:

$$I_D(x) = -Q'_I \mu_n \frac{W}{\Delta x} \Delta\psi(x) \quad (2.4)$$

onde W é a largura do *gate* do transistor, como mostrado na figura 2.1, μ_n é a mobilidade efetiva dos portadores (elétrons) da camada de inversão, a princípio considerada constante, Δx é uma pequena fração do comprimento ao redor de x e $\Delta\psi(x)$ é a diferença de potencial gerada na fração do comprimento Δx . Consideraremos que a corrente de dreno seja toda de deriva, desprezando a corrente de difusão no canal do transistor, pois esta corrente é mais importante nas regiões de inversão moderada e fraca, mas muito pequena na região de alta inversão.

No limite, quando Δx tende a zero, a equação 2.4 se torna:

$$I_D(x) dx = -Q'_I \mu_n W d\psi(x) \quad (2.5)$$

que pode ser integrada de 0 a L no lado esquerdo e de 0 a V_{DS} do lado direito. Com isso

¹Quando materiais com diferentes funções trabalho são unidos, há uma troca de cargas entre eles que, em equilíbrio, deixa o nível de Fermi constante ao longo dos materiais. Quando a tensão de *flatband* é aplicada a estrutura, as cargas de fronteira são neutralizadas.

obtem-se a equação da corrente de dreno de um transistor MOS na saturação:

$$I_D = \mu_n C'_{OX} \frac{W}{L} [(V_{GS} - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2.6)$$

A equação 2.6 é a equação simplificada do transistor na região linear e é válida para $V_{DS} < V_{GS} - V_{Th}$. Quando $V_{DS} > V_{GS} - V_{Th}$, a carga de inversão junto ao dreno torna-se zero (mesma simplificação feita anteriormente), pois a tensão na superfície do silício torna-se menor que V_{Th} . Esta situação é mostrada na figura 2.2, onde a quantidade de carga de inversão é mostrada como uma região abaixo do *gate* para melhor visualização. Diz-se que o canal foi estrangulado e que o transistor está na região de saturação pois a partir deste ponto a corrente de dreno do transistor passaria a não ser mais dependente da tensão V_{DS} , mas apenas da tensão V_{GS} , seguindo a equação $I_D = \frac{1}{2} \mu_n C'_{OX} \frac{W}{L} (V_{GS} - V_{Th})^2$.

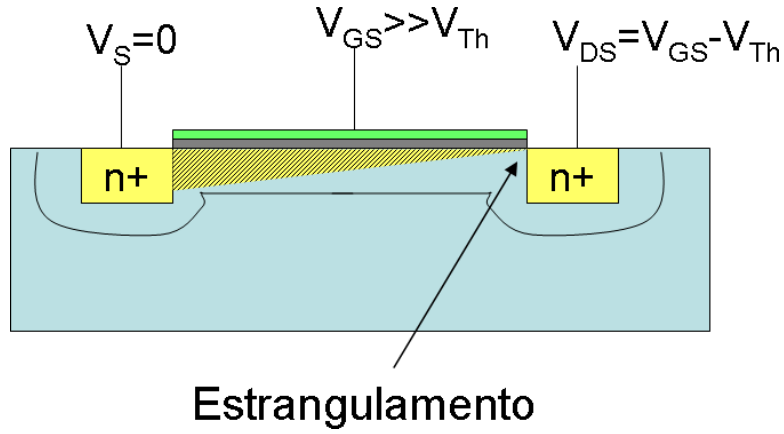


Figura 2.2: Estrangulamento do canal de um transistor MOS canal n quando a tensão V_{DS} alcança o valor igual a $V_{GS} - V_{Th}$.

Porém, o aumento da tensão V_{DS} causa uma variação da posição do canal aonde ocorre o estrangulamento, o que causa uma modulação do comprimento do canal seguindo a equação 2.7:

$$\Delta L \propto \sqrt{V_{DG} + V_{Th} + \Phi_0} \quad (2.7)$$

onde o ΔL é a variação do comprimento efetivo do canal em função do aumento da região de depleção junto ao dreno.

Esta modulação causa uma variação da corrente de dreno do transistor MOS na saturação em função do V_{DS} que pode ser adicionada ao modelo simplificado:

$$I_D = \frac{1}{2} \mu_n C'_{OX} \frac{W}{L} (V_{GS} - V_{Th})^2 (1 + \lambda V_{DS}) \quad (2.8)$$

A equação 2.8 é uma descrição simplificada de um transistor MOS na saturação. Apesar

desta equação não descrever perfeitamente o comportamento de um transistor MOS, ela é muito útil a um projetista por apresentar claramente a corrente de dreno em função das tensões V_{GS} e V_{DS} .

Para a análise de fontes de referência CMOS, é importante o estudo da variação dos parâmetros com temperatura e os parâmetros mais influenciados pela temperatura são a mobilidade μ_n de portadores no canal – que traduz-se como o ganho KP ($KP = \mu_n C'_{OX}$) do transistor – e a tensão de limiar V_{Th} .

Um estudo mais aprofundado do comportamento da tensão de limiar em temperatura pode ser visto no trabalho de Brito[51], mas para nossos propósitos, utilizamos uma série de Taylor, com um valor na temperatura $T0$ (27 °C), V_{Th0} , e coeficientes de temperatura de primeira ordem, α_{vt} e de segunda ordem, α_{vt2} :

$$V_{Th} = V_{Th0} + \alpha_{vt} (T - T0) + \alpha_{vt2} (T - T0)^2 \quad (2.9)$$

Da mesma forma, consideramos um modelo empírico do ganho KP , que tem como parâmetros o próprio valor em $T0$, $KP0$ e um coeficiente α_μ :

$$KP = KP0 \left(\frac{T}{T0} \right)^{\alpha_\mu} \quad (2.10)$$

2.3 Método de extração de V_{Th} , KP e resistência de dreno

Para verificar a fidedignidade das equações 2.8, 2.9 e 2.10, é necessário compará-las a medidas de transistores reais, fabricados no processo utilizado nos circuitos desenvolvidos neste trabalho. Foi utilizado o método de extração de V_{Th} conhecido como ESR (do inglês *Extrapolation in the Saturation Region*)[52], que permite obter tanto a tensão de limiar quanto o ganho KP de transistores na região de saturação do transistor. Os valores obtidos são comparados com os fornecidos pelo fabricante.

Todo o método será descrito para o caso de um transistor canal n, porém ele também é válido para canais p, bastando apenas observar o sentido correto das correntes e tensões.

A etapa inicial é a obtenção da curva de transferência I_D por V_{GS} de um transistor, com o dreno conectado junto ao *gate* de modo a forçar que o transistor esteja na saturação, tal como mostra a figura 2.3.

Desconsiderando a modulação de canal, um transistor atuando na saturação em inversão forte, segue a seguinte equação:

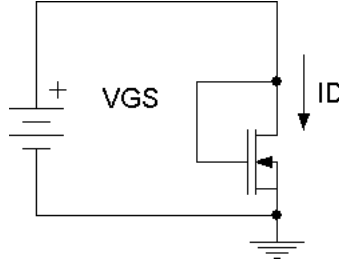


Figura 2.3: Circuito de teste do transistor.

$$I_D = \frac{1}{2} \mu C'_{OX} \frac{W}{L} (V_{GS} - V_{Th})^2 \quad (2.11)$$

Ou seja, a relação da raiz quadrada de I_D ($\sqrt{I_D}$) com V_{GS} é uma reta, e a partir da equação desta reta se determinaria a mobilidade e o V_{Th} . Porém, alguns efeitos alteram esta relação quadrática entre corrente e tensão, sendo os dois principais: o comportamento nas regiões de fraca e média inversão não é quadrático, o que modifica a característica do sinal com V_{GS} próximo a V_{Th} , e a redução da mobilidade do canal devido ao campo elétrico vertical criado pelo V_{GS} , que, junto à resistência em série, diminui I_D quando V_{GS} é alto. A figura 2.4 mostra a raiz quadrada de I_D em função de V_{GS} obtida de um transistor MOS fabricado em tecnologia $0,35 \mu\text{m}$, utilizando o analisador de parâmetros HP4155, com uma linearização no ponto de maior derivada.

Por isso é necessário encontrar uma região onde o transistor já esteja em inversão forte porém ainda com uma corrente pequena o suficiente para que a resistência em série e a diminuição da mobilidade possam ser desprezadas. Um método de realizar isto é baseado na derivada de $\sqrt{I_D}$.

Note-se que na fraca inversão, a derivada de $\sqrt{I_D}$ é menor do que na inversão forte, e que a resistência também causa a diminuição desta derivada, logo o ponto onde se tem a menor influência deste dois fatores é justamente o ponto que apresenta a maior derivada $\partial\sqrt{I_D}/\partial V_{GS}$. Com isto, basta localizar este ponto e linearizar a raiz de I_D em torno dele que é possível obter V_{Th} e KP .

Após obter estes parâmetros, pegamos um ponto (I_D^*, V_{GS}^*) na parte final da curva, onde o efeito da resistência série é grande. Com base nos valores obtidos de V_{Th} e KP , calculamos $V_{GS_ef}^*$, que seria o valor de V_{GS} necessário para gerar a corrente de dreno I_D^* na saturação caso não houvesse resistência de dreno. A diferença $V_{GS_ef}^* - V_{GS}^*$ é a tensão V_r consumida pela

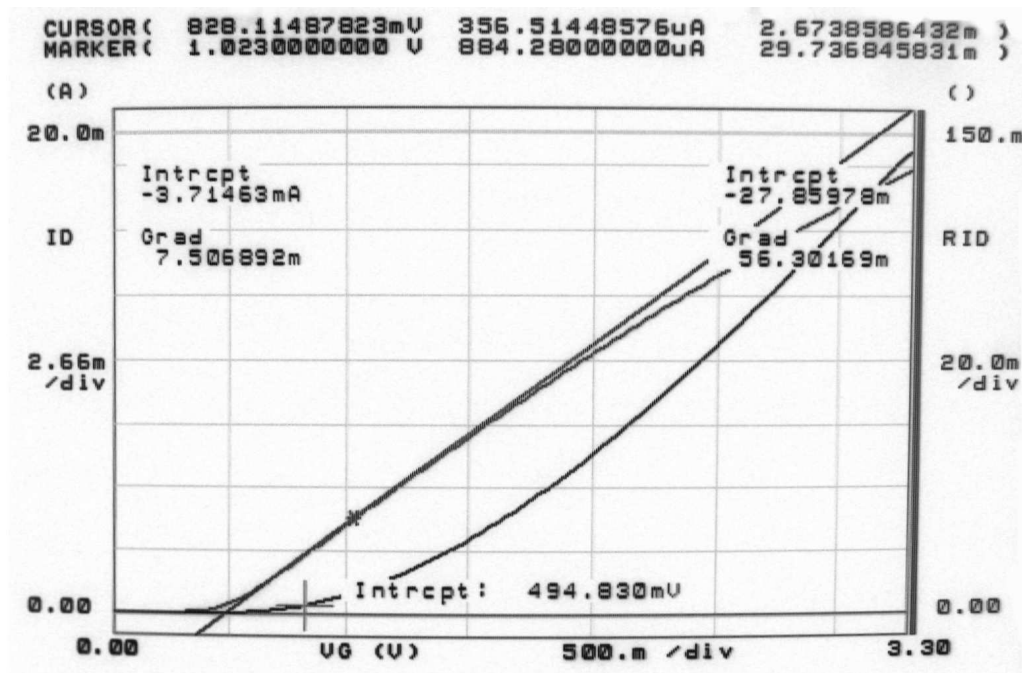


Figura 2.4: Medida da transistor no HP4155, mostrando I_D , a raiz quadrada de I_D (RID), e a linearização da raiz quadrada de I_D em função de V_{GS} .

resistência série r_s .² Logo:

$$r_s = \frac{V_{GS_ef}^* - V_{GS}^*}{I_D^*}$$

A figura 2.5 mostra este processo.

2.4 Medidas de transistores do processo utilizado

Este procedimento foi utilizado para caracterizar os transistores tipo n do processo 0,35 μm [35], que foi utilizado para fabricar os circuitos desenvolvidos. Foram encapsuladas 15 amostras do *chip* FAPESP121B para teste. Neste *chip*, além de outros circuitos, há 25 transistores nMOS de W/L igual a 3/3 μm ligados em paralelo para caracterização. Os transistores são ligados em paralelo para aumentar a corrente I_D , o que facilita sua medição, diminuindo o efeito de interferências externas, porém mantendo uma geometria parecida a dos transistores utilizados nos circuitos. As curvas $I_D \times V_{GS}$ dos transistores foram obtidas e delas foram extraídos os parâmetros V_{Th} , KP e resistência série.

As figuras 2.6 a 2.8 mostram os histogramas dos parâmetros extraídos do transistor isolado.

Enquanto que os valores fornecidos pelo fabricante[35] para o V_{Th} e o KP eram de 0,46 V

²Onde, por simplicidade, os efeitos da resistência série, redução da mobilidade e modulação do canal são considerados apenas como resistência série, uma vez que isso não afetará a análise.

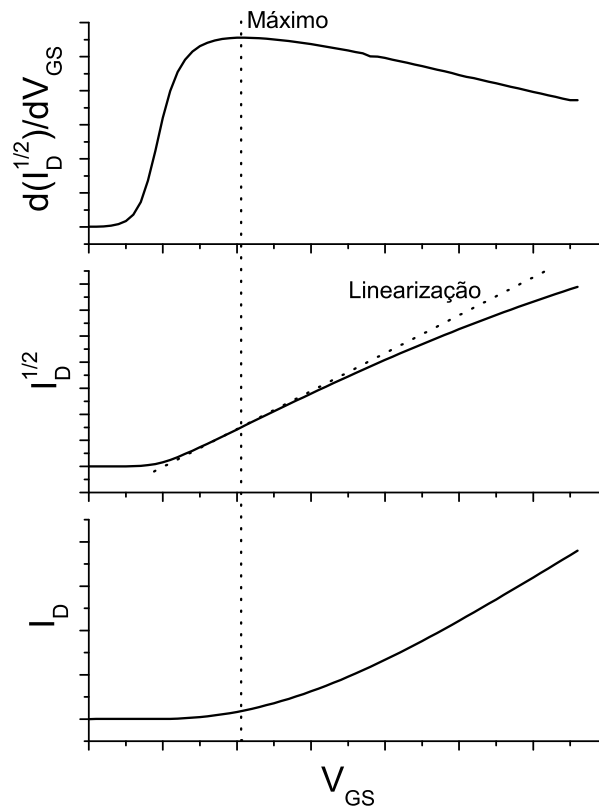


Figura 2.5: Exemplo da obtenção de V_{Th} , KP e resistência série. O máximo de $\frac{\partial \sqrt{I_D}}{\partial V_{GS}}$ serve para localizar a região linear de $\sqrt{I_D} \times V_{GS}$, que segue a equação do transistor na saturação.

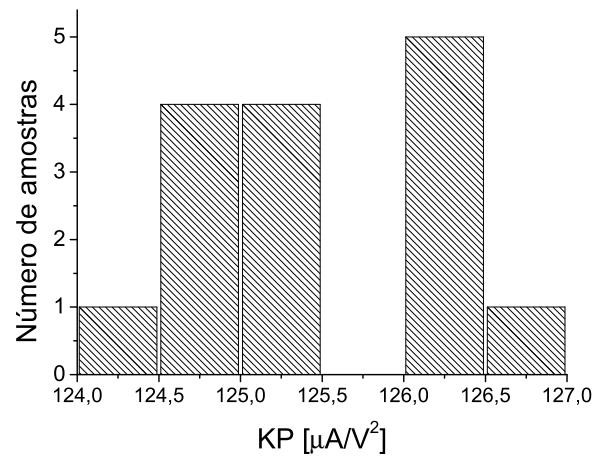


Figura 2.6: Histograma dos valores medidos de KP na temperatura ambiente.

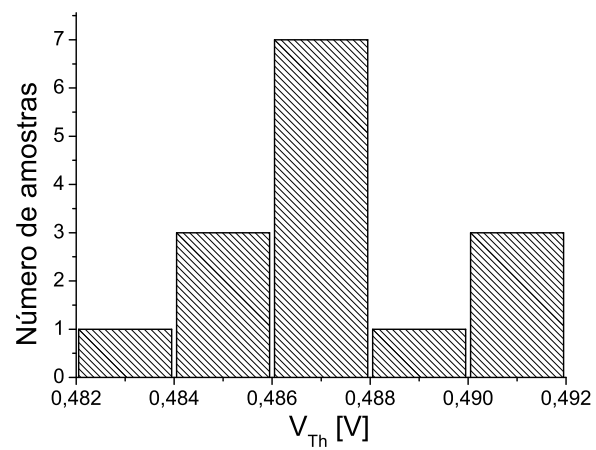


Figura 2.7: Histograma dos valores medidos de V_{Th} na temperatura ambiente.

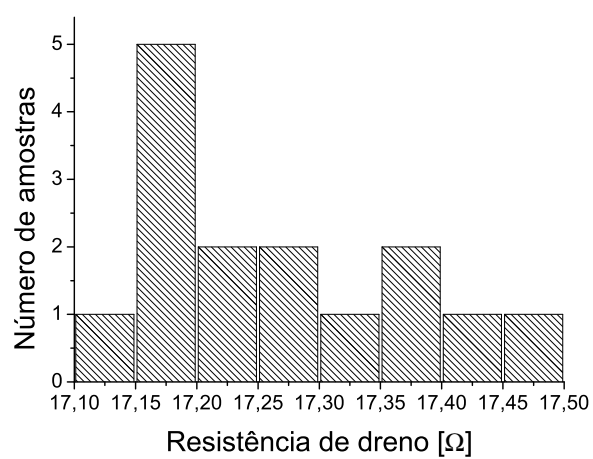


Figura 2.8: Histograma dos valores medidos da resistência série na temperatura ambiente.

e $170 \mu\text{A}/\text{V}^2$, respectivamente, a média dos valores medidos foi de $0,4874 \text{ V}$ e $125,6 \mu\text{A}/\text{V}^2$. Esta diferença provavelmente se deve à região em que foram obtidos os parâmetros, pois enquanto obtivemos os parâmetros na saturação, que é a região mais importante para os circuitos implementados, os parâmetros fornecidos pelo fabricante foram obtidos na região linear.

Como já foi dito, o conhecimento do comportamento térmico dos transistores é essencial no desenvolvimento do gerador de tensão de referência. Por conta disto, cinco *chips* foram caracterizados de -40 a $120 \text{ }^\circ\text{C}$, com passos de $20 \text{ }^\circ\text{C}$ utilizando-se uma câmara térmica, para observar o comportamento térmico de KP e V_{Th} . Os parâmetros das equações 2.9 e 2.10 foram ajustados aos dados obtidos pelo método de Mínimos Múltiplos Quadrados, utilizando o programa *MATLAB*.

Vale ressaltar que, no manual do processo fornecido pelo fabricante, o V_{Th} é modelado como tendo uma variação linear em temperatura, sem levar em conta variações de segunda ordem, que aparecem na equação 2.9 através do termo quadrático α_{vt2} . O modelo utilizado para o KP foi o normalmente utilizado para a mobilidade, onde a variação da capacitância C'_{OX} com a temperatura foi simplesmente incorporada.

Os valores obtidos para os parâmetros das equações 2.9 e 2.10 são mostrados na tabela 2.1. A figura 2.9 mostra as medidas de KP em função da temperatura junto com a curva obtida pela equação 2.10 com os parâmetros ajustados às medidas. As medidas de V_{Th} em função de temperatura são mostradas na figura 2.10, juntamente com a equação 2.9 calculada com os parâmetros ajustados das medidas. É importante frisar que, apesar do termo α_{vt2} da equação 2.9 parecer pequeno, a sua falta causa um erro de quase 3 mV no modelo linear da tensão de limiar, que é um valor significativo para uma tensão de referência e deve ser levado em conta.

Tabela 2.1: Valores obtidos dos parâmetros das equações 2.9 e 2.10.

	Valor Medido
$V_{Th0} [\text{V}]$	0,4874
$\alpha_{vt} [\text{mV}/^\circ\text{C}]$	-1,0188
$\alpha_{vt2} [\mu\text{V}/^\circ\text{C}^2]$	0,295716
$KP0 [\mu\text{A}/\text{V}^2]$	125,6
α_μ	-1,60872

2.5 Resistores

O *chip* FAPESP121B também tem um resistor implementado em poly de alta resistividade com um terminal ligado a um dos *pads* do *chip* e o outro ao terra, o que permitiu que estes resistores também fossem testados. Este dispositivo é simplesmente uma camada de polissilício sem a dopagem para diminuir a resistência, o que faz com que sua resistência de folha seja

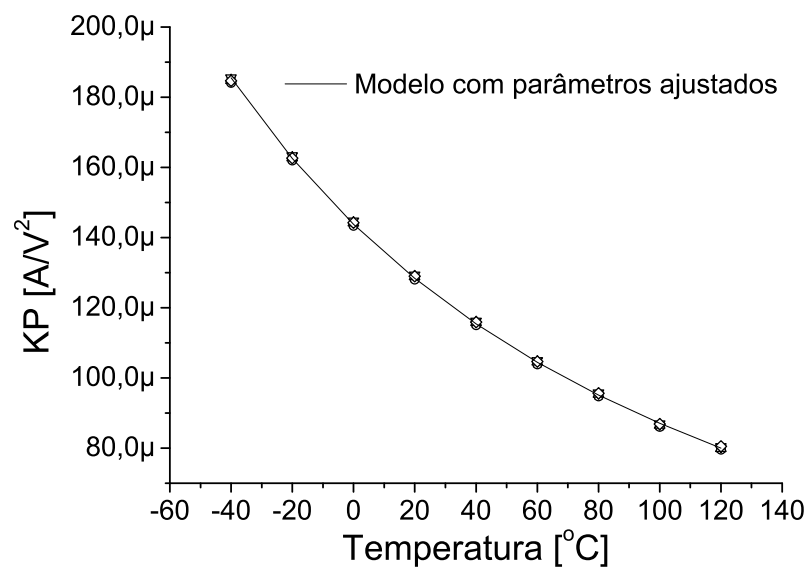


Figura 2.9: Medidas de KP em função da temperatura.

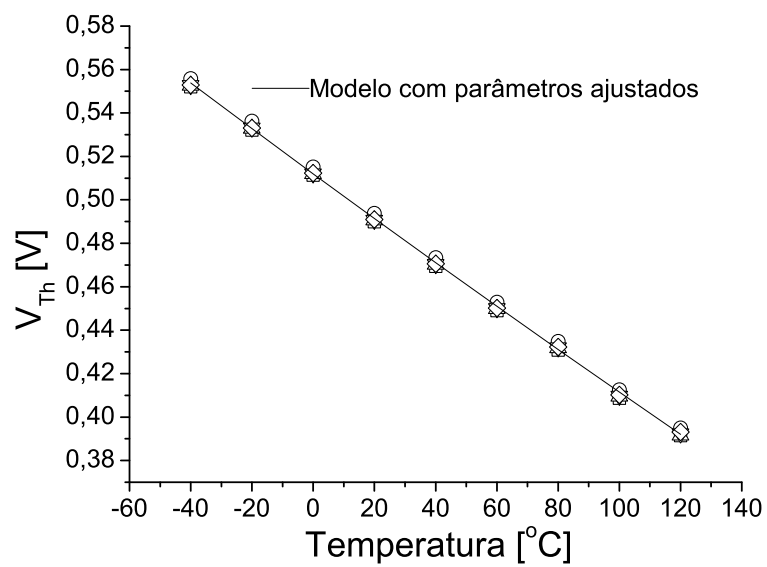


Figura 2.10: Medidas de V_{Tn} em função da temperatura.

bastante alta ($1,2 \text{ k}\Omega/\square$ no processo utilizado). Isto é bastante útil para fabricar resistores integrados de alta resistência, pois ocupam menor área que resistores de polissilício não-dopado, e têm uma variação bem menor com tensão do que resistores de poço. O histograma da resistência medida de todas as amostras deste resistor (uma amostra por *chip*) está na figura 2.11.

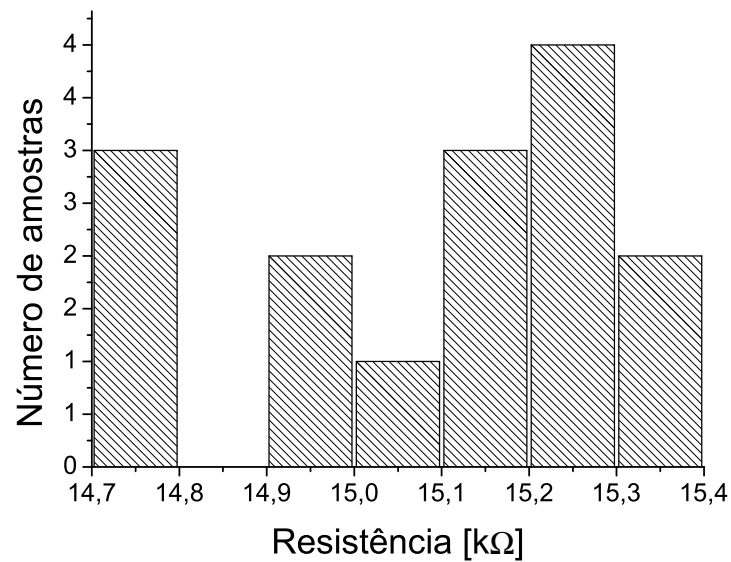


Figura 2.11: Histograma da resistência do resistor de poly de alta resistência na temperatura ambiente.

Assim como os transistores, os resistores de 4 *chips* também foram medidos em temperatura, utilizando uma câmara térmica e variando a temperatura entre -40 e 120 °C com passos de 20 °C. A resposta em temperatura dos resistores é mostrado na figura 2.12, onde é comparada com a simulação.

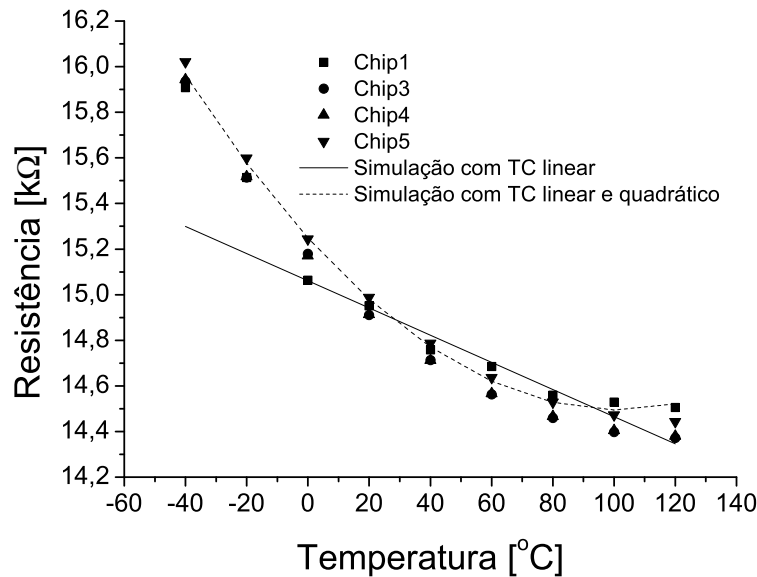


Figura 2.12: Comportamento do resistor integrado de polissilício de alta resistência em temperatura.

Note que os resistores apresentam um comportamento térmico não-linear, o que não é levado em conta nos parâmetros do processo divulgados pelo fabricante³, enquanto nas etapas de projeto e simulação foi assumido que o resistor tinha uma variação linear com a temperatura, já que no manual do processo e no modelo de simulação apenas consta seu coeficiente térmico de primeira ordem. Como este elemento é composto de silício policristalino, seu comportamento em temperatura provavelmente se deve à dependência da mobilidade dos portadores no silício, que é muito pouco linear. Na figura 2.12, a linha contínua corresponde a um resistor simulado com o coeficiente térmico de primeira ordem obtidos dos parâmetros de processo (-400 ppm/°C), enquanto que a linha tracejada foi obtida calculando os coeficientes de primeira e segunda ordem de acordo com os dados obtidos⁴. $TC1 = -733,8 \text{ ppm/°C}$ e $TC2 = +4,9484 \text{ ppm/°C}^2$.

³O coeficiente térmico disponibilizado pelo fabricante é o coeficiente obtido na linearização da curva $R \times T$ na faixa de 20 a 120 °C.

⁴Calculados considerando T_0 igual a 27 °C. $R = R_0 + TC1(T - T_0) + TC2(T - T_0)^2$

2.6 Resumo dos dados obtidos

Os parâmetros obtidos para os cinco *chips* testados são mostrados na Tabela 2.2, onde são comparados com os valores fornecidos⁵. A comparação das medidas dos transistores com as equações simplificadas do transistor na saturação mostrou que este modelo simplificado serve para os objetivos deste trabalho. Além disso, foi observado nos dados medidos que o resistor tem um espalhamento muito maior que o transistor, sendo uma importante causa de erro em fontes de referência integradas. Dos parâmetros do transistor, nota-se que o V_{Th0} e o $KP0$ foram os que tiveram maior variação, o que deve ser observado no projeto da nova fonte de referência.

Tabela 2.2: Valores de parâmetros de processo fornecidos pelo fabricante junto a valores extraídos dos transistores e resistores isolados.

	Valor Fornecido	Valor Medido	Variação entre Chips
V_{Th0} [V]	$0,46 \pm 0,1$	0,4874	0,0079 (1,6 %)
α_{vt} [mV/°C]	-1,1	-1,0188	0,0051 (0,5 %)
α_{vt2} [μ V/°C ²]	—	0,295716	0,0814
$KP0$ [μ A/V ²]	170 ± 20	125,6	2,2 (1,7 %)
α_{μ}	-1,8	-1,60872	0,0136 (0,85 %)
rd [Ω]	—	17,26	0,31
Rpolyh [k Ω]	15,47	15,1	0,6 (3,97 %)

2.7 Transistor MOS com *gate* flutuante

Transistores MOS de *gate* flutuante (ou transistores FGMOS, do inglês *Floating Gate MOS*) surgiram em 1967 como um elemento de memória não volátil[48] e vêm sendo utilizados para esta finalidade desde então. Tais dispositivos já foram utilizados também em sistemas de redes neurais[53] e processamento analógico de sinais, aproveitando sua propriedade de realizar uma média ponderada de várias entradas. Este tipo de transistor também já foi utilizado em sistemas de baixa tensão devido a possibilidade de ajustar sua tensão V_{Th} em uma grande faixa de valores[54]. O FGMOS é compatível com a tecnologia CMOS padrão e uma característica que o torna muito interessante para processamento analógico e para o circuito gerador da tensão de referência aqui desenvolvido é a possibilidade de modificar sua relação tensão-corrente, modificando a quantidade de cargas armazenada no *gate* flutuante, atuando como uma memória analógica ou como um elemento de ajuste.

⁵O que foi usado como Valor Fornecido para o resistor foi na verdade o valor para o qual foi projetado.

2.7.1 Estrutura de um transistor FGMOS

Este dispositivo é composto de um transistor MOS normal e de um ou mais capacitores de entrada. O *gate* do transistor é conectado apenas aos capacitores de entrada, de modo que ele fica isolado eletricamente. Diz-se então que este *gate* está flutuando e daí vem o nome do dispositivo. A figura 2.13 mostra um transistor FGMOS canal n com um único capacitor de entrada, formado por duas camadas de polissilício (*gate* flutuante – poly1 e *gate* de controle – poly2) com um óxido fino entre eles.

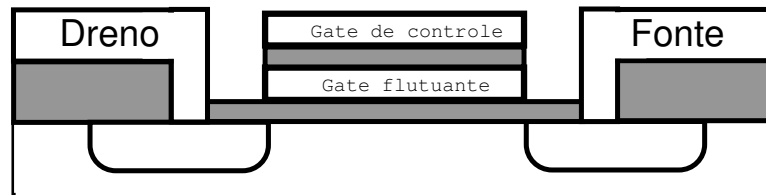


Figura 2.13: Estrutura de um transistor *floating gate*

Capacitores do tipo poly1–poly2 são bem comuns em tecnologias atuais, porém, esta não é uma estrutura CMOS padrão. Também é possível utilizar capacitores poly–poço, cuja estrutura é mostrada na figura 2.14, que são realizáveis em qualquer tecnologia CMOS. Não é possível utilizar capacitores que não utilizem o polisilício de *gate* pois outros níveis de interconexão e mesmo os próprios contatos não são, em geral, tão bem isolados quanto o poly1, dando origem a correntes de fuga que impedem o funcionamento de estruturas FGMOS. É importante no projeto destes dispositivos que os capacitores de entrada sejam implementados utilizando diretamente o poly do *gate*, sem utilizar outras camadas entre o *gate* do transistor e o capacitor de entrada[55].

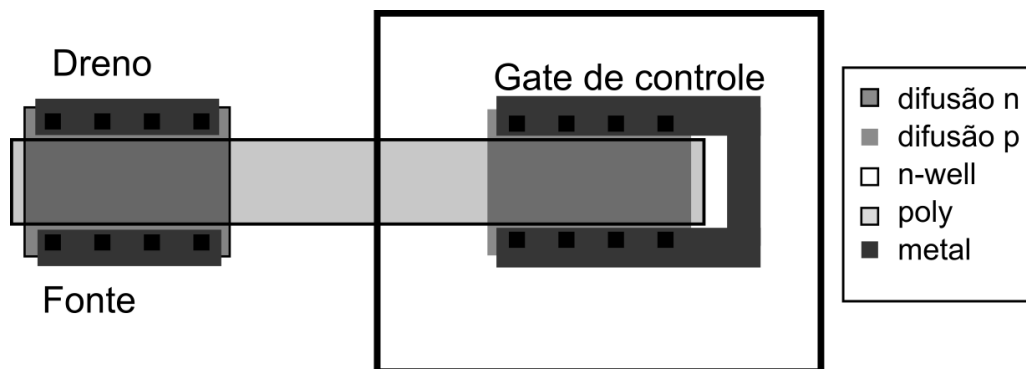


Figura 2.14: *Layout* de um FGMOS implementado com capacitor poly–poço.

Os terminais externos dos capacitores de entrada são chamados de *gates* de controle. A figura 2.15 mostra o diagrama esquemático de um *floating gate* com um e com dois *gates* de controle, juntamente com seus respectivos símbolos.

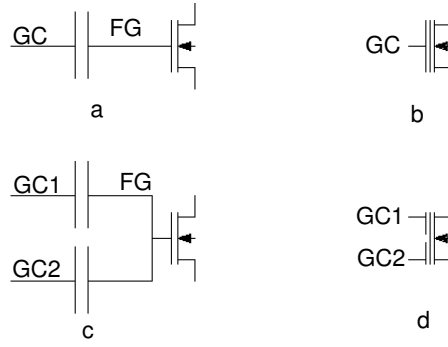


Figura 2.15: Diagrama esquemático de um transistor FGMOS com a) um *gate* de controle e c) dois *gates* de controle e seus respectivos símbolos b) e d).

2.7.2 Modelo básico

Num FGMOS com um único *gate* de controle, a tensão V_{FG} no *gate* flutuante é controlada pela tensão V_{GC} aplicada ao *gate* de controle GC através de divisão capacitiva:

$$V_{FG} = V_{GC} \frac{C_F}{C_{tot}} \quad (2.12)$$

onde C_F é o valor do capacitor de entrada, como mostrado na figura 2.16 e C_{tot} é a capacitância total vista do *gate*, que inclui C_F , C_{OX} (a capacitância do *gate*) e capacitâncias parasitas.

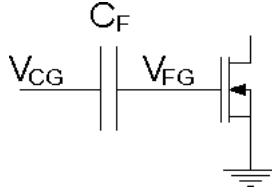


Figura 2.16: Diagrama esquemático de um transistor FGMOS com detalhe das tensões V_{FG} e V_{GC}

A partir da equação simplificada de um transistor normal na saturação (equação 2.11), com V_{GS} sendo substituída pela tensão V_{FG} da equação 2.12, observa-se que este dispositivo age como um transistor normal, com KP e V_{Th} obtidos pela equação 2.13:

$$I_D = \frac{\mu_n C'_{OX}}{2} \frac{W}{L} \left(\frac{C_F}{C_{tot}} \right)^2 \left(V_{GC} - V_{Th} \frac{C_{tot}}{C_F} \right)^2 \quad (2.13)$$

onde o KP efetivo é $KP_{ef} = KP \left(\frac{C_F}{C_{tot}} \right)^2$ e o V_{Th} efetivo é $V_{Th-ef} = V_{Th} \frac{C_{tot}}{C_F}$.

Como nem sempre há o interesse em diminuir o ganho KP ou aumentar a tensão V_{Th} , é comum projetar C_F muito maior que C_{OX} de modo a tornar $\frac{C_F}{C_{tot}} \cong 1$, o que faz com que o

transistor FGMOS de *gate* único atue praticamente como um transistor normal.

No caso de estruturas com múltiplos *gates* de controle, aplicando o princípio da superposição, o efeito total dos *gates* de controles é a soma do efeito de cada *gate* de controle separadamente⁶. Como um único *gate* de controle gera um V_{FG} de acordo com a equação 2.12, no caso de múltiplos *gates* a tensão V_{FG} passa a ser o somatório destes termos, ou seja, a tensão V_{FG} é uma soma ponderada das tensões dos vários *gates* de controle, onde os pesos são ajustados pelos tamanhos dos capacitores de cada *gate* de controle:

$$V_{FG} = \sum_i \frac{C_{Fi}}{C_{tot}} V_{Gci} \quad (2.14)$$

Até o momento, não foi considerada a existência de cargas presas entre o capacitor de entrada e o capacitor do *gate* do transistor, embora tal situação seja possível. Sob tensões nominais e considerando não haver corrente de fuga nos capacitores, a carga no *gate* flutuante se mantém constante. Uma carga presa Q_P acrescenta às equações 2.12 e 2.14 uma tensão de valor $\frac{Q_P}{C_{tot}}$. Adicionando este termo, a equação 2.14 se torna:

$$V_{FG} = \sum_i \frac{C_{Fi}}{C_{tot}} V_{Gci} + \frac{Q_P}{C_{tot}} \quad (2.15)$$

No caso de um transistor com um único *gate* de controle, e C_F muito maior que C_{OX} fica:

$$I_D = \frac{\mu_n C'_{OX}}{2} \frac{W}{L} \left[V_{GC} - \left(V_{Th} - \frac{Q_P}{C_{tot}} \right) \right]^2 \quad (2.16)$$

Ou seja, a carga presa no *gate* de controle contribui para alterar a tensão de limiar. Temos então um V_{Th} efetivo V_{Th_FG} :

$$V_{Th_FG} = V_{Th} - \frac{Q_P}{C_{tot}} \quad (2.17)$$

A figura 2.17 exemplifica este comportamento. Ela mostra curvas $I_D \times V_{FG}$ de um transistor FGMOS para dois valores distintos de carga presa, onde se observa o deslocamento horizontal da curva.

2.7.3 Memória analógica

Apesar da carga presa se manter constante e insensível às tensões nos terminais do transistor enquanto elas não ultrapassam determinados limites, é possível modificá-la através do efeito quântico de tunelamento. Como o óxido de *gate* de um transistor MOS é bastante fino, ao se

⁶Lembrando que este princípio é usado apenas para calcular a tensão do *gate*, e a partir desta tensão se calcula a respectiva corrente I_D . Não pode ser usado diretamente para calcular a corrente pois o transistor é um elemento não-linear.

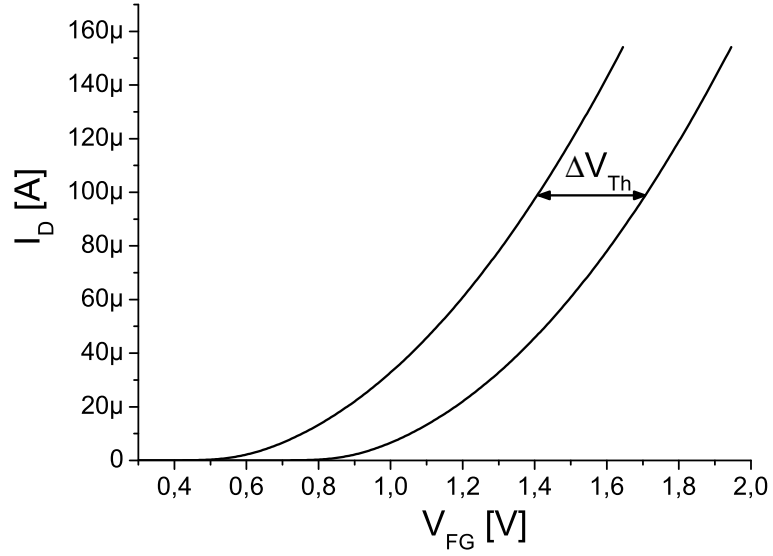


Figura 2.17: Curva $I_D \times V_{FG}$ para o mesmo transistor FGMOS mudando a carga presa.

aplicar um pulso de tensão no *gate* de controle, com largura definida e amplitude suficientemente alta, alguns elétrons alcançam energia suficiente para atravessar o óxido. Se os demais terminais do transistor estiverem aterrados, podemos considerar a estrutura como sendo apenas os dois capacitores C_{FG} e C_{OX} em série. Nesta condição, a tensão V_{FG} divide-se entre os capacitores:

$$V_{Cox} = \frac{V_{GC}C_{FG}}{C_{tot}} \quad (2.18)$$

$$V_{Cfg} = \frac{V_{GC}C_{OX}}{C_{tot}} \quad (2.19)$$

Desta forma, se o capacitor de entrada for muito maior que o do *gate*, a tensão incidirá quase que totalmente sobre o capacitor do *gate*. O tunelamento ocorrerá através do óxido do *gate*. Na figura 2.18(a), um pulso de tensão positiva de alta amplitude faz elétrons passarem do corpo do transistor para o *gate* através do tunelamento Fowler-Nordheim[56], diminuindo o valor da carga presa e causando o aumento de V_{Th_FG} , segundo a equação 2.17. Com um pulso negativo, como na figura 2.18(b), elétrons tunelam do *gate* para o corpo, aumentando o valor da carga e diminuindo o V_{Th} efetivo. O V_{Th_FG} age como a *variável* da memória analógica e a alteração do V_{Th_FG} através destes pulsos de alta tensão são consideradas como a programação desta memória.

A quantidade de carga injetada ou extraída do *gate* flutuante depende da densidade de

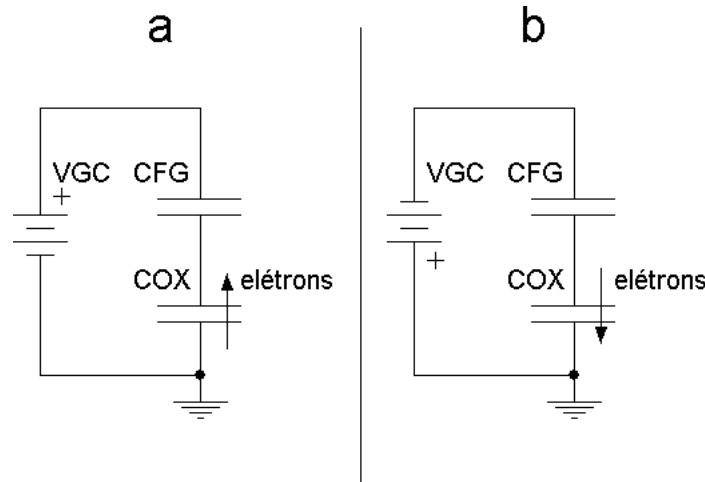


Figura 2.18: Programação do FGMOS. (a) Aumentando o V_{Th_FG} . (b) Diminuindo o V_{Th_FG} .

corrente de tunelamento, j_{FN} :

$$j_{FN} = aE^2 e^{(-b/E)} \quad (2.20)$$

nde a e b são parâmetros dependentes da geometria e dos materiais e E é o campo elétrico sobre o óxido.

O campo elétrico E é proporcional a diferença de potencial sobre o óxido, logo, E varia linearmente com a tensão aplicada⁷, de onde se conclui que a quantidade de carga injetada não é uma função linear da amplitude dos pulsos de programação.

A figura 2.19 mostra a estrutura de um transistor FGMOS do ponto de vista de níveis de energia sem carga presa. O capacitor de entrada é do tipo poly1–poly2 considerando-se, neste caso, que a dopagem destes dois polissilícios é a mesma. Além disso, os níveis de energia das camadas de polissilício estão representados como se estas camadas fossem monocristalinas por simplicidade.

Observe que por conta do ajuste no nível de Fermi, um campo elétrico é gerado sobre o óxido *sem a necessidade de uma tensão externa*. Isto faz com que seja mais fácil tunelar elétrons em um sentido do que no outro, ou seja, a tensão necessária para aumentar o V_{Th_FG} é diferente daquela necessária para diminuí-lo. No caso mostrado na figura 2.19 (que se aproxima do caso real), precisamos de uma tensão menor para diminuir a carga do *gate* flutuante (aumentar o V_{Th_FG}) do que aumentá-la (diminuir o V_{Th_FG}).

Além disso, a figura mostra a situação sem carga presa no *gate*, com o nível de Fermi constante mesmo no poly1, porém, a carga presa altera a energia na região do *gate*, fazendo com que quanto maior for a carga no *gate*, mais difícil é aumentá-la e mais fácil é diminuí-la.

⁷Uma simplificação, pois a tensão aplicada também vai gerar quedas de tensão nos materiais do corpo do transistor e do *gate*, principalmente devido a presença de cargas de depleção.

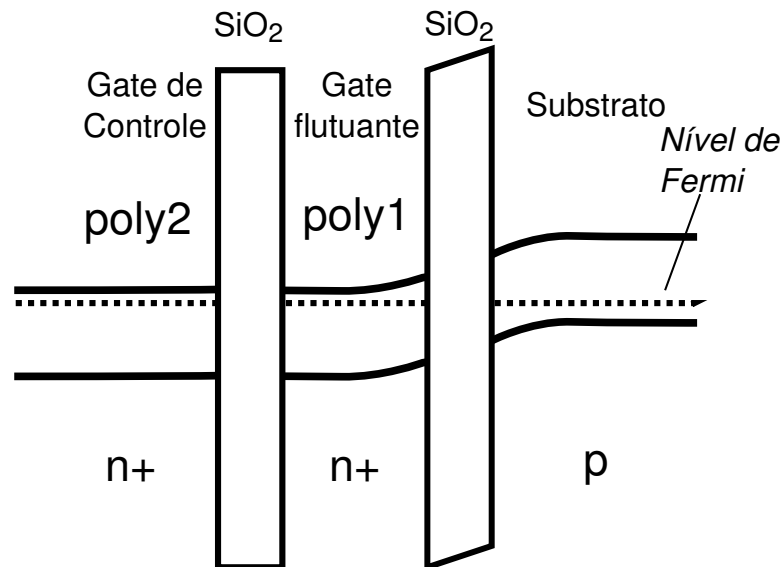


Figura 2.19: Diagrama de níveis de energia da estrutura de um FGMOS canal n com capacitor de entrada poly1-poly2 e sem carga presa.

Isto faz com que a quantidade de cargas injetadas não varie linearmente com a largura do pulso, mas que tenha uma variação próxima a uma exponencial negativa, tendendo a saturar num valor que depende da amplitude do pulso.

A figura 2.20 mostra a variação do V_{Th_FG} de um transistor FGMOS contruído na tecnologia AMS 0,6 μm em função do número de pulsos de programação de largura constante, mostrando esta característica exponencial da programação de um FGMOS. A tensão de limiar é variada de 1,55 até 2,2 V.

2.7.4 Programação Unipolar

Na estrutura com um *gate* de controle de capacitância muito maior que a capacitância do *gate*, é necessário um pulso positivo e elevado para aumentar o V_{Th_FG} , enquanto que para diminuir o V_{Th_FG} a amplitude deste pulso deve ser negativa e elevada, mas seria muito conveniente se fosse possível tanto aumentar quanto diminuir V_{Th_FG} só com pulsos positivos.

Uma solução para este problema é acrescentar um capacitor de entrada menor que o *gate*, pois deste modo a tensão se concentrará sobre ele e o tunelamento ocorrerá no capacitor de controle. Com isto uma tensão positiva de programação fará com que elétrons saiam do *gate* flutuante, diminuindo o V_{Th} efetivo.

Isto gera a possibilidade de utilizar uma estrutura com dois *gates* de controle, um com capacitância maior que a do *gate* do transistor e outro menor, como mostrado na figura 2.21(a). Conectando este transistor do modo mostrado em (b) e aplicando V_{prog} de amplitude suficien-

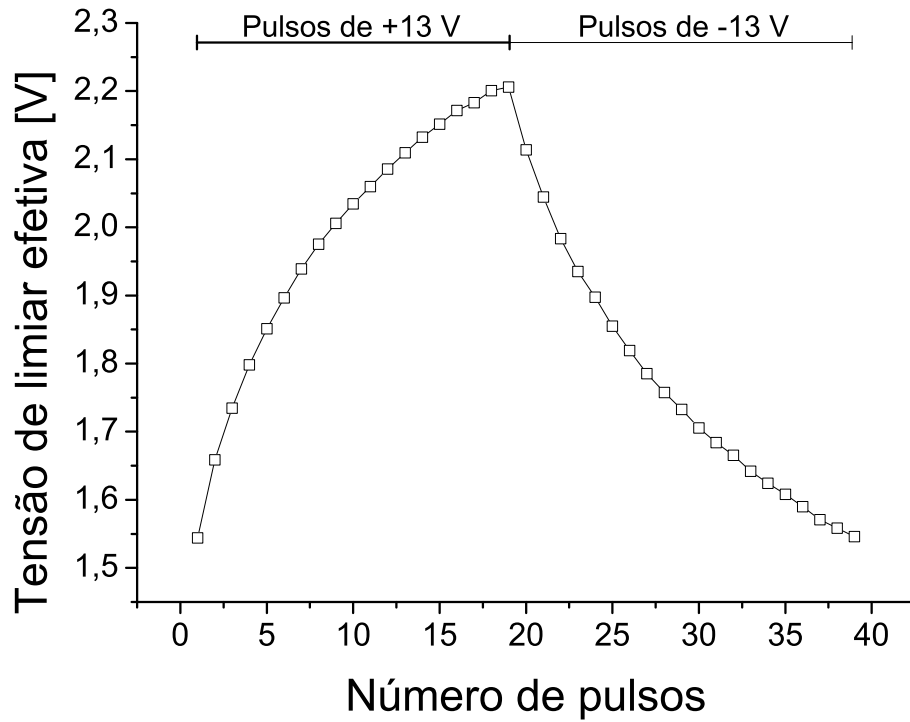


Figura 2.20: Variação da tensão de limiar efetiva de um transistor FGMOS de acordo com o número de pulsos de programação.

temente alta, o tunelamento ocorrerá através do capacitor do *gate* de controle **g-** e estaremos diminuindo o V_{Th} efetivo. Para aumentar o V_{Th_FG} , conecta-se o transistor como mostrado em (c) e o tunelamento ocorre tanto pelo capacitor do *gate* de controle **g-** quanto pelo óxido do transistor aumentando o V_{Th_FG} . Com isto é possível programar a tensão de limiar do dispositivo para qualquer valor apenas com pulsos positivos.

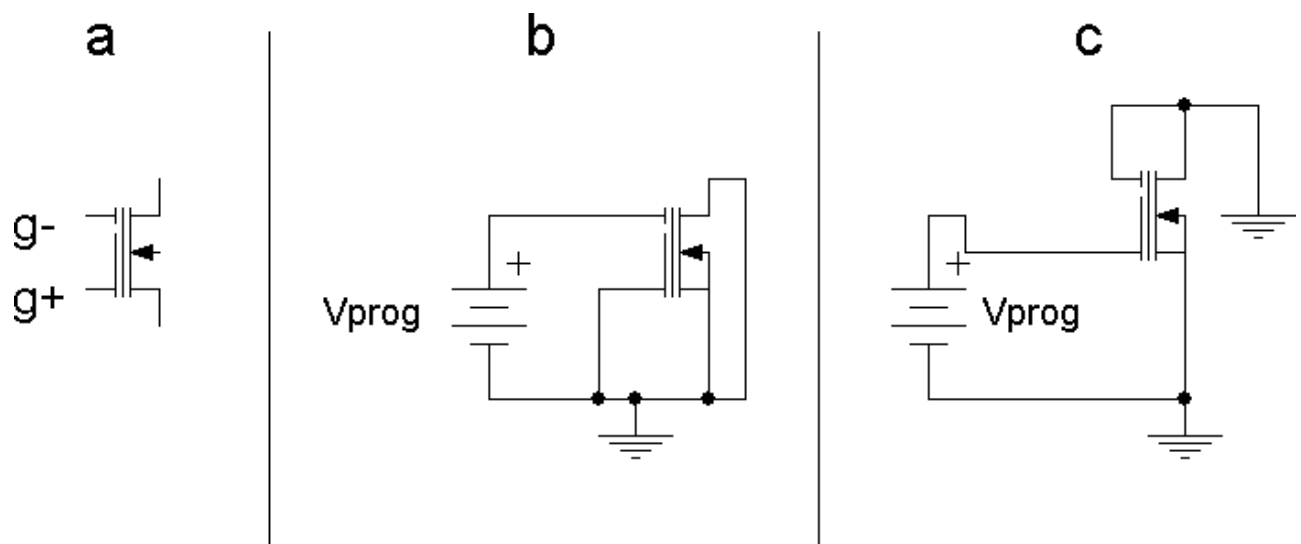


Figura 2.21: (a) Símbolo de um FGMOS com um *gate* de controle grande e outro pequeno para programação unipolar. (b) Esquema para diminuir o V_{Th} . (c) Esquema para aumentar o V_{Th} .

2.8 Conclusões

Componentes utilizados para a geração da tensão de referência foram estudados neste capítulo. O modelo simplificado do transistor MOS operando na saturação foi obtido e parâmetros deste modelo foram extraídos de medidas realizadas em transistores reais, mostrando a viabilidade do uso deste modelo. A análise de várias amostras de transistores integrados mostrou que os parâmetros que mais variam são justamente o ganho $KP0$ e a tensão V_{Th0} .

Os resistores utilizados nos circuitos foram analisados e foi constatado que seu comportamento térmico não corresponde ao do modelo de simulação, surgindo a necessidade de criar um novo modelo, com coeficientes de temperatura de primeira e segunda ordem, que permitem simulações mais fidedignas.

Uma outra estrutura estudada foi o transistor MOS com *gate* flutuante, um elemento que permite o ajuste de sua tensão de limiar através do controle da carga presa em seu *gate*, o que é bastante útil para ajustar a tensão de referência desenvolvida neste trabalho.

Capítulo 3

Proposição de um novo princípio para a geração de uma tensão de referência

3.1 Introdução

Neste capítulo é apresentada a proposta de um novo circuito gerador de tensão de referência baseada em transistores MOS. Seu funcionamento se baseia num princípio diferente de todos relatados na literatura, constituindo uma contribuição inédita neste particular tópico.

Uma análise detalhada do comportamento térmico da tensão que este circuito produz é feita a partir de seu equacionamento, que tem como base o modelo simplificado do transistor MOS operando na saturação.

3.2 Formulação

Um transistor MOS, operando na região de saturação e polarizado de modo que os efeitos de corpo e modulação de canal possam ser desprezados, pode ser modelado pela equação 2.11, repetida aqui por conveniência:

$$I_D = \frac{1}{2} \mu_n C'_{OX} \frac{W}{L} (V_{GS} - V_{Th})^2$$

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C'_{OX}} \frac{L}{W}} + V_{Th}$$

Se considerarmos que a corrente I_D varia de forma linear com a temperatura, podemos descrevê-la como $I_D = I_{D0} + \alpha_I T$. Nestas condições, a derivada de V_{GS} em função da tempe-

ratura é:

$$\frac{\partial V_{GS}}{\partial T} = \frac{1}{2} \sqrt{\frac{2I_D}{\mu_n C'_{OX}} \frac{L}{W}} \left(\frac{\alpha_I}{I_D} - \frac{\alpha_\mu}{T} \right) + \alpha_{vt} \quad (3.1)$$

onde α_μ e α_{vt} são os parâmetros de temperatura apresentados nas equações simplificadas de KP (equação 2.10) e V_{Th} (equação 2.9) em função da temperatura.

Observe que a derivada de V_{GS} com a temperatura é uma função de I_D e pode ser feita tanto positiva quanto negativa, como mostrado na figura 3.1. Este, inclusive, é o princípio da fonte de tensão de referência de ponto estável proposta por Filanovsky[44], já discutida no capítulo 1. A fonte de referência proposta apresenta uma importante modificação, pois ao invés de tentar obter um ponto termicamente estável em um único transistor, o método proposto se baseia em duas tensões V_{GS} distintas, chamadas de V_{GS1} e V_{GS2} , onde a derivada de V_{GS1} em relação à temperatura é o dobro da de V_{GS2} . Com isto, é possível obter uma tensão V_R tal que:

$$V_R = 2V_{GS2} - V_{GS1} \quad (3.2)$$

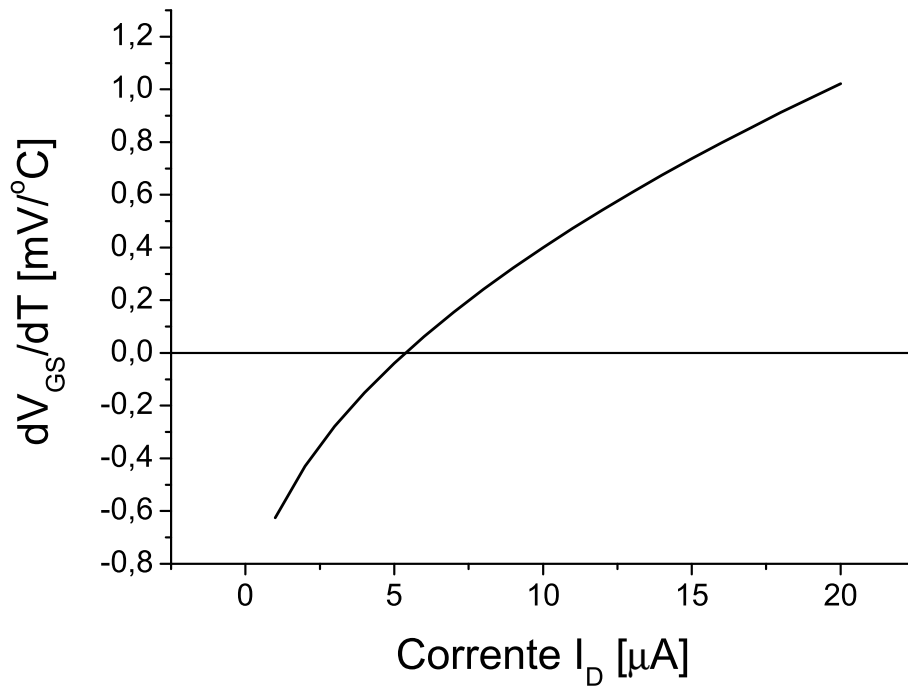


Figura 3.1: Cálculo da variação do valor da derivada de V_{GS} pela temperatura em função da corrente de dreno do transistor.

Deste modo, faz-se V_R estável em temperatura em primeira ordem. A tensão de referência

obtida desta maneira é mais robusta quanto a variações no processo que a proposta por Filanovsky, uma vez que quaisquer desvios afetariam tanto V_{GS1} quanto V_{GS2} , fazendo com que o efeito desta variação de processo sobre V_R seja bem menor. Um circuito simples que implementa este princípio é mostrado na figura 3.2, onde esta tensão aparece entre os drenos de M3 e M1. Neste circuito, admite-se que os transistores M2 e M3 sejam idênticos e que o efeito de corpo seja desprezível. Ao longo deste trabalho, outros circuitos que implementam este mesmo princípio serão apresentados, mas este circuito será usado inicialmente por sua simplicidade.

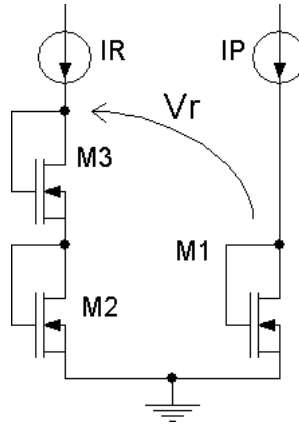


Figura 3.2: Circuito mínimo que gere a tensão de referência.

Considerando que V_{GS1} é a tensão V_{GS} do transistor M1, que tem dimensões $W1/L1$ e uma corrente de dreno I_R e que V_{GS2} é a tensão dos transistores M2 e M3, de tamanho $W2/L2$ e corrente de dreno I_P , temos:

$$V_{GS1} = \sqrt{\frac{2I_P}{\mu_n C'_{OX}} \frac{L_1}{W_1}} + V_{Th1}$$

e

$$V_{GS2} = \sqrt{\frac{2I_R}{\mu_n C'_{OX}} \frac{L_2}{W_2}} + V_{Th2}$$

Admitindo-se que $V_{Th1} = V_{Th2} = V_{Th}$, a tensão V_R é dada por:

$$V_R = 2\sqrt{\frac{2I_R}{\mu_n C'_{OX}} \frac{L_1}{W_1}} - \sqrt{\frac{2I_P}{\mu_n C'_{OX}} \frac{L_2}{W_2}} + V_{Th} = \sqrt{\frac{2}{\mu_n C'_{OX}}} \left(\sqrt{\frac{4I_R L_1}{W_1}} - \sqrt{\frac{I_P L_2}{W_2}} \right) + V_{Th}$$

É válido considerar que as correntes tenham comportamento térmico semelhante, considerando que elas sejam réplicas de uma única fonte. Além disso, considerando que as correntes

são funções lineares da temperatura, obtêm-se:

$$\begin{aligned} I_P &= I_{P0} + \alpha_I (T - T_0) \\ I_R &= N I_P \end{aligned} \quad (3.3)$$

onde I_{P0} é o valor da corrente I_P na temperatura T_0 . Considera-se ao longo deste trabalho que T_0 é 300 K. N é o fator de proporcionalidade entre I_R e I_P ¹ e α_I é a inclinação da reta que descreve $I_P(T)$.

Com isto, pode-se expandir a equação de V_R acrescentando todos os termos de temperatura.

$$\begin{aligned} V_R(T) &= \sqrt{\frac{2}{\mu_{n0} \left(\frac{T}{T_0}\right)^{\alpha_\mu} C'_{OX}}} \left(\sqrt{\frac{4N[I_{P0} + \alpha_I(T - T_0)]L_2}{W_2}} - \sqrt{\frac{[I_{P0} + \alpha_I(T - T_0)]L_1}{W_1}} \right) \\ &+ V_{Th0} + \alpha_{vt}(T - T_0) \end{aligned} \quad (3.4)$$

Para obter os valores das correntes que permitem a geração da tensão estável, calcula-se a derivada de V_R em função da temperatura e acham-se as correntes que fazem esta derivada ser nula em T_0 .

$$\frac{\partial V_R}{\partial T} = \sqrt{\frac{2}{\mu_n C'_{OX}}} \left(\frac{\alpha_I}{2I_P} - \frac{\alpha_\mu}{2T} \right) \left(\sqrt{\frac{4I_R L_2}{W_2}} - \sqrt{\frac{I_P L_1}{W_1}} \right) + \alpha_{vt} \quad (3.5)$$

Na temperatura T_0 :

$$\left. \frac{\partial V_R}{\partial T} \right|_{T_0} = \sqrt{\frac{2}{\mu_{n0} C'_{OX}}} \left(\frac{\alpha_I}{2I_{P0}} - \frac{\alpha_\mu}{2T_0} \right) \left(\sqrt{\frac{4I_{R0} L_2}{W_2}} - \sqrt{\frac{I_{P0} L_1}{W_1}} \right) + \alpha_{vt} \quad (3.6)$$

Igualando esta equação a zero, obtém-se o valor de I_{R0} em função de I_{P0} que faz com que V_R seja estável em temperatura, vide equação 3.7. De forma semelhante, pode-se considerar uma relação específica entre I_R e I_P (como I_R duas vezes maior que I_P ou um igual ao outro) e calcular a relações entre as dimensões dos transistores que tornam esta derivada nula.

$$I_{R0} = \frac{1}{4} \frac{W_2}{L_2} \left[\left(\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}} \right)^{-1} \alpha_{vt} \sqrt{\frac{\mu_{n0} C'_{OX}}{2}} + \sqrt{\frac{I_{P0} L_1}{W_1}} \right]^2 \quad (3.7)$$

Ou seja, o valor de N que é a relação entre I_P e I_R é:

$$N = \frac{1}{4} \frac{W_2}{L_2} \left[\left(\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}} \right)^{-1} \alpha_{vt} \sqrt{\frac{\mu_{n0} C'_{OX}}{2}} + \sqrt{\frac{I_{P0} L_1}{W_1}} \right]^2 \frac{1}{I_{P0}} \quad (3.8)$$

¹Considerando que as fontes de corrente são derivações de um espelho, N seria a razão dos W/L dos transistores de saída do espelho

Similarmente, pode-se também trabalhar com um N fixo e ajustar as dimensões W e L dos transistores:

$$\frac{W_2}{L_2} = \frac{4I_{R0}}{\left[\left(\frac{\alpha_\mu}{2T0} - \frac{\alpha_I}{2I_{P0}} \right)^{-1} \alpha_{vt} \sqrt{\frac{\mu_{n0}C'_{OX}}{2}} + \sqrt{\frac{I_{P0}L_1}{W_1}} \right]^2} \quad (3.9)$$

Retornando 3.8 dentro de 3.4, obtêm-se o valor da tensão estabilizada:

$$V_R(T) = \sqrt{\frac{2}{\mu_n(T)C'_{OX}}} \left[\sqrt{\frac{I_P(T)}{I_{P0}}} \left(\frac{\alpha_\mu}{2T0} - \frac{\alpha_I}{2I_{P0}} \right)^{-1} \alpha_{vt} \sqrt{\frac{\mu_{n0}C'_{OX}}{2}} + \sqrt{\frac{I_P(T)}{I_{P0}}} \sqrt{\frac{I_{P0}L_1}{W_1}} - \sqrt{\frac{I_P(T)L_1}{W_1}} \right] + V_{Th}(T) \quad (3.10)$$

$$V_R(T) = \sqrt{\frac{\mu_{n0}}{\mu_n(T)}} \frac{I_P(T)}{I_{P0}} \left(\frac{\alpha_\mu}{2T0} - \frac{\alpha_I}{2I_{P0}} \right)^{-1} \alpha_{vt} + V_{Th}(T) \quad (3.11)$$

Quando a temperatura é $T0$, tal equação é simplificada para:

$$V_{R0} = V_{Th0} + 2\alpha_{vt} \left(\frac{\alpha_\mu}{T0} - \frac{\alpha_I}{I_{P0}} \right)^{-1} \quad (3.12)$$

onde $\frac{\alpha_I}{I_{P0}}$ é o coeficiente térmico da corrente (em partes por grau Celsius).

Isto quer dizer que basta gerar as correntes seguindo a relação da equação (3.8) que se obtêm uma tensão estável em temperatura *cujo valor não depende do valor da corrente de polarização*. Ou seja, podemos fazer as correntes tão pequenas quanto quisermos, pois enquanto os transistores continuarem em forte inversão e N seguir a equação (3.8), a tensão de referência se mantém a mesma. Além disso, a equação 3.12, que descreve V_{R0} , *não depende diretamente de KP* , um parâmetro que apresentou alto espalhamento entre chips nas medidas realizadas com transistores integrados (vide página 23), o que contribui para diminuir o espalhamento da tensão de referência obtida.

Nos casos específicos de correntes constantes ($I_P = I_{P0}$) e corrente PTAT ($I_P = \alpha_I T$ ou $I_P = \alpha_I T0 + \alpha_I(T - T0)$, mantendo a notação estabelecida²), a equação 3.12 fica mais simples:

$$\begin{aligned} V_{R0}|_{I_{P0}} &= V_{Th0} + \frac{2\alpha_{vt}T0}{\alpha_\mu} \\ V_{R0}|_{\alpha_I T} &= V_{Th0} + \frac{2\alpha_{vt}T0}{\alpha_\mu - 1} \end{aligned} \quad (3.13)$$

Para se ter uma idéia melhor dos valores, considere-se a tecnologia na qual este trabalho foi realizado (CMOS 0,35 μm); do seu manual[35], obtêm-se os valores de V_{Th0} (0,46 V), α_{vt} (-1,1 mV/°C), KP (170 $\mu\text{A/V}^2$) e α_μ (-1,8), e com isso calcula-se o valor de V_{R0} com corrente

² T em Kelvin.

Tabela 3.1: Valor de V_R na temperatura T_0 para corrente constante e corrente PTAT na tecnologia AMS C35B4 ($0,35 \mu\text{m}$) e AMS CUP ($0,6 \mu\text{m}$).

	V_{R0} [V]	
Tecnologia	$0,35 \mu\text{m}$	$0,6 \mu\text{m}$
$I = I_{P0}$	0,826	1,2921
$I = \alpha_I T$	0,695	1,1397

constante e com corrente PTAT, mostrados na tabela 3.1. Um gráfico de V_R calculado pela equação 3.11 em função da temperatura e para vários valores de α_I é mostrado na figura 3.3.

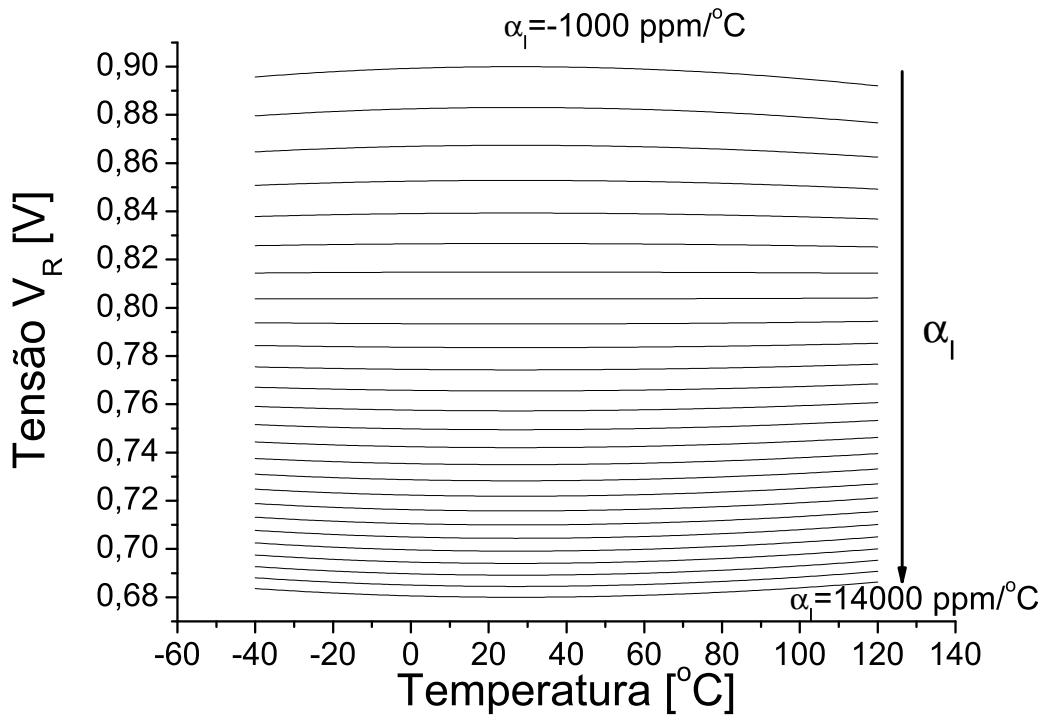


Figura 3.3: Tensão V_R em função da temperatura calculada para $\frac{\alpha_I}{I_{P0}}$ variando entre $-1000 \text{ ppm}/^\circ\text{C}$ e $14000 \text{ ppm}/^\circ\text{C}$, com os parâmetros da tecnologia $0,35 \mu\text{m}$.

3.3 Variação de segunda ordem

Observe-se ainda na figura 3.3 que, de fato, V_R tem derivada nula na temperatura T_0 (27°C), porém fora desta temperatura há uma variação desta tensão, tanto que, dependendo do valor do coeficiente térmico da corrente, esta curva apresenta tanto curvaturas positivas quanto

negativas. Um modo de analisar isto é calcular a derivada segunda de V_R em T_0 , que serve como uma medida da compensação de segunda ordem.

Para uma melhor compreensão do que resulta deste efeito de segunda ordem, considere uma faixa de temperatura de T_{min} a T_{max} e que T_0 seja o valor padrão no meio desta faixa. A variação de tensão ao longo desta faixa de temperatura por conta do efeito quadrático é de:

$$V_R(T_{min}) - V_{R0} \cong \left(\frac{1}{2} \frac{\partial^2 V_R}{\partial T^2} \bigg|_{T_0} \right) (T_{min} - T_0)^2 \quad (3.14)$$

$$V_R(T_{max}) - V_{R0} \cong \left(\frac{1}{2} \frac{\partial^2 V_R}{\partial T^2} \bigg|_{T_0} \right) (T_{max} - T_0)^2 \quad (3.15)$$

$$(3.16)$$

e desta variação obtêm-se o TC (do inglês *Thermal Coefficient* – coeficiente térmico) de V_R . Derivando a equação final de V_R (equação 3.10):

$$\frac{\partial V_R}{\partial T} = \frac{\frac{\partial}{\partial T} \sqrt{\frac{\mu_{n0}}{\mu_n} \frac{I_P}{I_{P0}}}}{\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}}} \alpha_{vt} + \frac{\partial}{\partial T} V_{Th} \quad (3.17)$$

$$\frac{\partial V_R}{\partial T} = \frac{-\left(\frac{\alpha_\mu}{2T} - \frac{\alpha_I}{2I_P}\right) \sqrt{\frac{\mu_{n0}}{\mu_n} \frac{I_P}{I_{P0}}}}{\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}}} \alpha_{vt} + \alpha_{vt} \quad (3.18)$$

Usando a equação 3.18, obtêm-se a derivada segunda:

$$\frac{\partial^2 V_R}{\partial T^2} = \frac{\left(\frac{\alpha_\mu}{2T^2} - \frac{\alpha_I^2}{2I_P^2}\right) \sqrt{\frac{\mu_{n0}}{\mu_n} \frac{I_P}{I_{P0}}} + \left(\frac{\alpha_\mu}{2T} - \frac{\alpha_I}{2I_P}\right)^2 \sqrt{\frac{\mu_{n0}}{\mu_n} \frac{I_P}{I_{P0}}}}{\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}}} \alpha_{vt} \quad (3.19)$$

$$\frac{\partial^2 V_R}{\partial T^2} \bigg|_{T_0} = \frac{\left(\frac{\alpha_\mu}{2T_0^2} - \frac{\alpha_I^2}{2I_{P0}^2}\right) + \left(\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}}\right)^2}{\frac{\alpha_\mu}{2T_0} - \frac{\alpha_I}{2I_{P0}}} \alpha_{vt} \quad (3.20)$$

Novamente, com base nos parâmetros da tecnologia, este valor é calculado para os casos de corrente independente da temperatura e corrente PTAT:

Tabela 3.2: Cálculo da variação de tensão pelo efeito de segunda ordem.

	$\frac{\partial^2 V_R}{\partial T^2} \bigg _{T_0}$	Valor [$\mu\text{V}/^\circ\text{C}^2$]		ΔV_R [mV]	
		0,35	0,6	0,35	0,6
$I = I_{P0}$	$\frac{1+\frac{\alpha_\mu}{2}}{T_0} \alpha_{vt}$	-0,3667	-0,2333	-1,5856	
$I = \alpha_I T$	$\frac{1+\frac{\alpha_\mu-1}{2}}{T_0} \alpha_{vt}$	1,4667	2,1	6,3426	

A figura 3.4 mostra a segunda derivada de V_R em função de α_I calculada em T_0 . Observe que são obtidos tanto valores positivos quanto valores negativos para esta segunda derivada, ou seja, a compensação de segunda ordem de nosso circuito é dependente do coeficiente térmico da corrente de polarização e a derivada segunda de V_R *pode ser ajustada para zero*. Como $T_0 = 300\text{K}$, o termo $\frac{\alpha_I}{I_{P0}}$ tem o valor de $\frac{1}{300\text{K}}$ (aproximadamente 0,3 %/K)) para o caso de corrente PTAT.

O parâmetro α_{vt2} , que é a variação quadrática da tensão de limiar foi desconsiderado neste cálculo por simplicidade. Considerando que o efeito deste parâmetro gere a mesma variação na tensão de referência que gera na tensão V_{Th} , esta simplificação causa um erro de quase 3 mV na faixa de -40 a 120 °C.

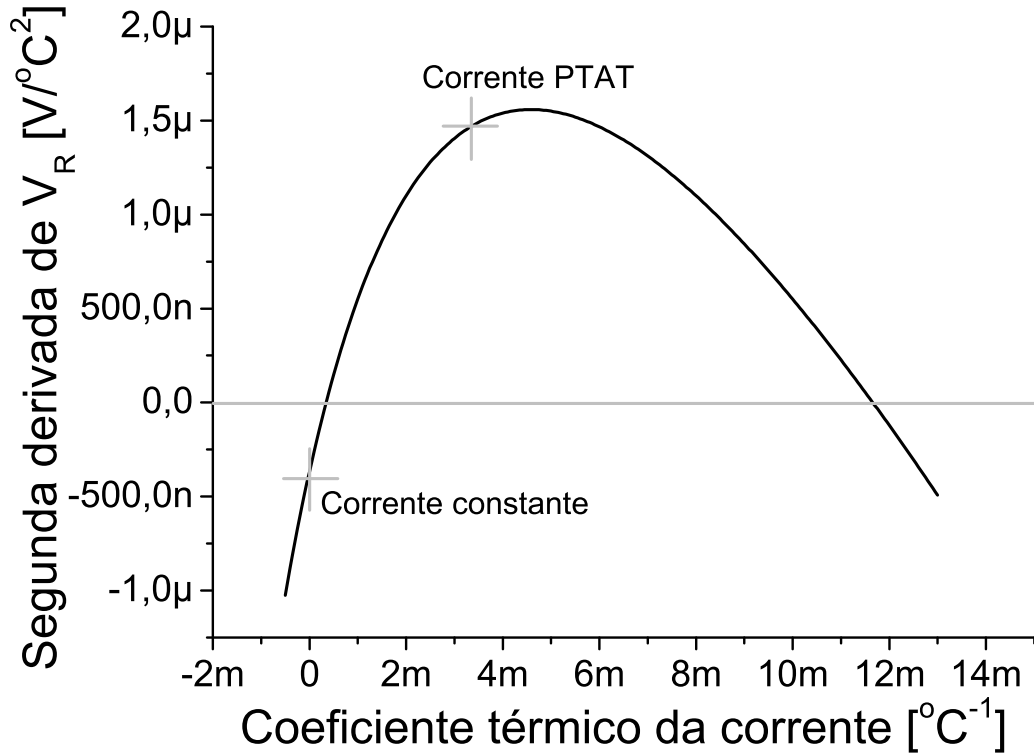


Figura 3.4: Variação da segunda derivada de V_R com temperatura em função do coeficiente térmico das correntes I_R e I_P .

Ainda na figura 3.4, é visível que há dois zeros na função, ou seja dois pontos onde teríamos compensação de segunda ordem completa, que ocorreria quando:

$$\frac{\alpha_{Io}}{I_{P0}} = \frac{-\alpha_\mu \pm \sqrt{2\alpha_\mu(1 + \alpha_\mu)}}{T_0} \quad (3.21)$$

No processo de $0,35\ \mu\text{m}$ por exemplo, o coeficiente térmico necessário à corrente é de $343,146\ \text{ppm}/^\circ\text{C}$ ou $11656,9\ \text{ppm}/^\circ\text{C}$.

Ou seja, a partir da relação de tensões V_{GS} de transistores MOS é possível obter uma tensão estável em temperatura, já obtendo uma compensação de segunda ordem.

Dos parâmetros que compõem a tensão de referência, o que apresentou, nas medidas realizadas, maior variação entre *chips* é o V_{Th0} (vide tabela 2.2). Tal variação afeta diretamente a tensão de referência obtida.

Porém, a tensão de limiar efetiva de um transistor FGMOS pode ser ajustada, como visto no capítulo anterior. Por isso, a utilização deste dispositivo como parte do circuito gerador da tensão de referência pode, a princípio, permitir um ajuste que cancele o espalhamento de V_{Th} . Além disso, com transistores FGMOS de dois *gates* é possível gerar a tensão $2V_{GS}$ sem efeito de corpo, como será visto no capítulo seguinte.

3.4 Conclusões

Foi demonstrado que, com base no modelo simplificado do transistor MOS mostrado no capítulo 2, dada tensão $V_R = 2V_{GS2} - V_{GS1}$, onde V_{GS2} e V_{GS1} são tensões entre *gate* e fonte de transistores MOS cujas relações $I_D/(W/L)$ são diferentes, é possível polarizá-los com correntes de dreno tais que fazem V_R ser estável em temperatura em primeira ordem.

Além disso, o coeficiente térmico linear das correntes de polarização causa a variação da derivada segunda de V_R em função da temperatura, o que faz com que seja possível gerar uma tensão V_R já com compensação térmica de primeira e segunda ordem.

Capítulo 4

Verificação experimental do princípio proposto

4.1 Introdução

Neste capítulo são mostrados os resultados obtidos na caracterização de um circuito que implementa uma fonte de referência de tensão que se baseia no princípio proposto.

4.2 Circuito

O *chip* FAPESP 108 B, fabricado na tecnologia AMS-CUP/CMOS 0,6 μm através do Projeto Multi-Usuário da FAPESP em junho de 2003, contém várias estruturas de teste. Dentre elas, se encontram dois transistores FGMOS canal n com dois *gates* de controle, tal como pode ser visto na figura 4.1.

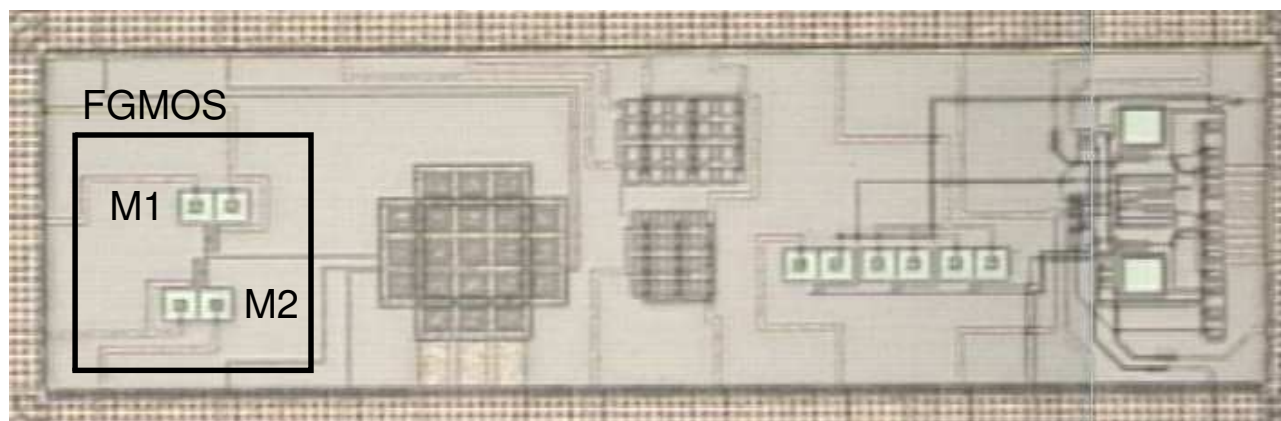


Figura 4.1: Fotografia do Chip FAPESP 108 B, destacando os transistores FGMOS.

Para verificar a validade do princípio proposto, foi montado o circuito mostrado na figura 4.2 utilizando estes dois transistores FGMOS. Com um destes transistores de *gate* flutuante é possível gerar a tensão $2V_{GS2}$ com absoluta imunidade ao efeito de corpo. O transistor M1 tem 2 *gates* de controle conectados em paralelo, enquanto que na figura 4.2 ele é representado com apenas um *gate* por simplicidade.

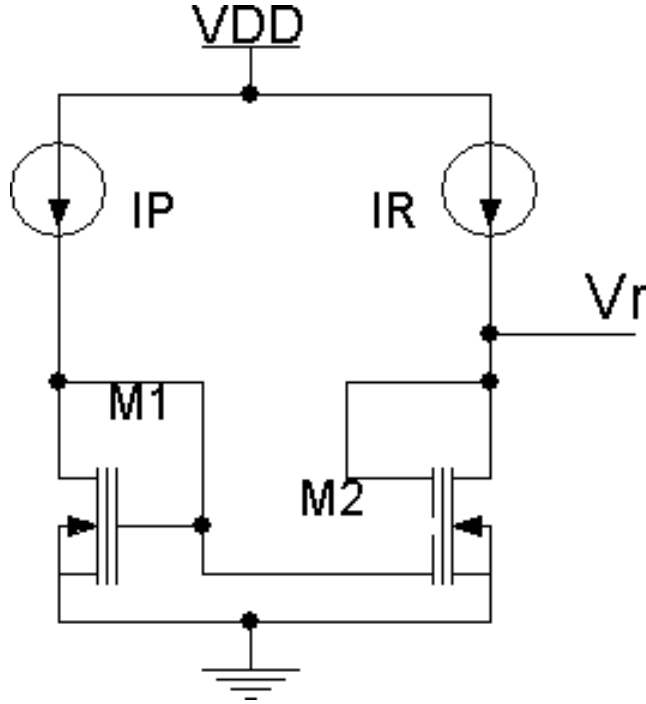


Figura 4.2: Diagrama esquemático do protótipo utilizado para testar a referência de tensão.

Os capacitores de entrada dos transistores FGMOS têm valores bem maiores que o capacitor de *gate* do transistor, garantindo a aproximação de que a tensão no *gate* flutuante é uma média das tensões dos *gates* de controle. Deste modo, temos no circuito que:

$$V_{GS2} = \frac{1}{2}V_{GS1} + \frac{1}{2}V_R \quad (4.1)$$

$$V_R = 2V_{GS2} - V_{GS1} \quad (4.2)$$

Conforme o princípio de funcionamento descrito no capítulo 3, basta ajustar as correntes I_R e I_P para que V_R seja estável em temperatura.

4.3 Verificação experimental

Inicialmente, um dos circuitos foi submetido à variação térmica no intervalo de -40 a 120 °C utilizando-se uma câmara térmica, estabilizando a temperatura a cada 20 °C. Em cada tempera-

Tabela 4.1: Resumo das medidas do protótipo

I_P	10 μA	100 μA	1 mA
Valor médio [V]	1,6819	1,6876	1,8133
Variação [mV]	10,8	12,1	11
TC [ppm/°C]	21,1966	20,8326	29,5047
I_R calculado [μA]	22	49,8	222
I_R obtido [μA]	20,5	47,5	198

tura, a corrente I_P era mantida constante e a corrente I_R ajustada na amplitude que mantivesse a saída constante. A figura 4.3 mostra as múltiplas medidas de V_R em função da temperatura e das amplitudes de I_R , lembrando que I_P foi mantido em 10 μA . Pode-se observar, conforme a curva destacada, que o comportamento de V_R mais próximo de uma tensão de referência ocorre quando $I_R = 20,5\mu\text{A}$. Levando-se em conta os valores nominais dos parâmetros dos componentes utilizados, a amplitude calculada de I_R que estabiliza V_R é de 22 μA .

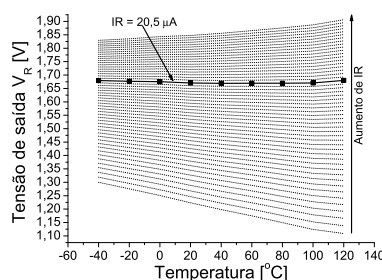


Figura 4.3: Medidas da tensão V_R para uma corrente I_P de 10 μA e vários valores de I_R em função da temperatura, com ênfase para o melhor resultado.

Um resultado obtido dos cálculos teóricos é que, uma vez que I_R siga a equação 3.7 (vide página 36), a tensão estabilizada não varia com a amplitude de I_P . Para testar esta hipótese, foram feitos testes com I_P de 10 μA , 100 μA e 1 mA utilizando o mesmo circuito. Os valores de I_R que estabilizavam V_R foram de 20,5, 47,5 e 198 μA respectivamente. Todos eles próximos aos valores calculados (de 22, 49,8 e 222 μA respectivamente). As curvas obtidas de $V_R \times T$ são mostradas na figura 4.4, onde se observa uma pequena variação no valor médio da tensão estabilizada, que aumenta com a corrente. Possivelmente a resistência de dreno do transistor, que não foi levada em conta no equacionamento, causa esta diferença.

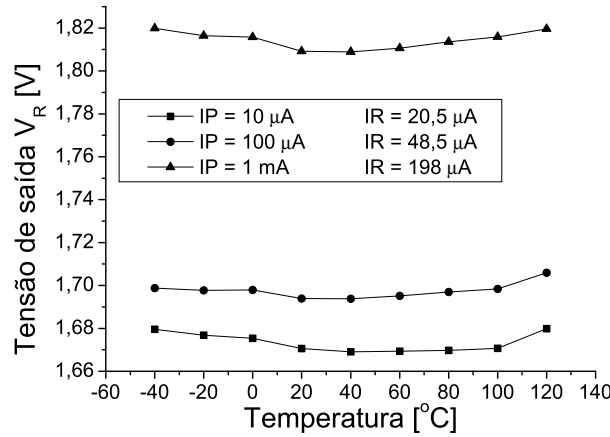


Figura 4.4: Medidas da tensão V_R obtida para três valores distintos de corrente I_P com os respectivos valores de I_P que causam a estabilização em temperatura.

4.4 Ajuste da tensão de referência na temperatura ambiente – V_{R0}

Uma vez que este protótipo foi implementado com transistores FGMOS, podemos explorar a possibilidade de ajustar a carga presa no *gate* flutuante (ou seja, programar o FGMOS). Já que este ajuste causa uma variação do V_{Th} efetivo do transistor e que o V_{Th0} é um termo em separado na equação 3.12, a programação do FGMOS pode ser utilizada para ajustar a tensão de saída para o valor que quisermos.

Uma das amostras, identificada como *chip* 1, foi escolhida como padrão e a saída das outras amostras foram ajustadas através das cargas depositadas no transistor FGMOS para o valor de V_{R0} obtido no *chip* 1. Por exemplo, a tensão do *chip* 2 para I_P de $10 \text{ } \mu\text{A}$ que originalmente era de aproximadamente $1,5 \text{ V}$, foi ajustada para um valor próximo da tensão obtida no *chip* 1 em temperatura ambiente e novamente caracterizado em temperatura. A figura 4.5 mostra a medida desta tensão antes e depois do ajuste, para vários valores de I_R . Em ambos os casos, a corrente I_R em que se obtém V_R insensível à temperatura é de $20,5 \text{ } \mu\text{A}$ – o mesmo valor obtido no *chip* 1.

A tabela 4.2 mostra os valores medidos da tensão V_{R0} e do coeficiente térmico do *chip* 1 e do *chip* 2 para comparação. Note-se que mesmo que o ajuste só tenha sido realizado para uma corrente, as tensões para outras correntes de polarização também foram ajustadas de acordo, novamente um resultado que concorda com a teoria desenvolvida.

A figura 4.6 mostra a tensão de saída V_R em função da temperatura com I_P de $10 \text{ } \mu\text{A}$ para 4 *chips* diferentes, onde os *chips* 2, 3 e 4 foram ajustados (atrés da carga no FGMOS) para ter

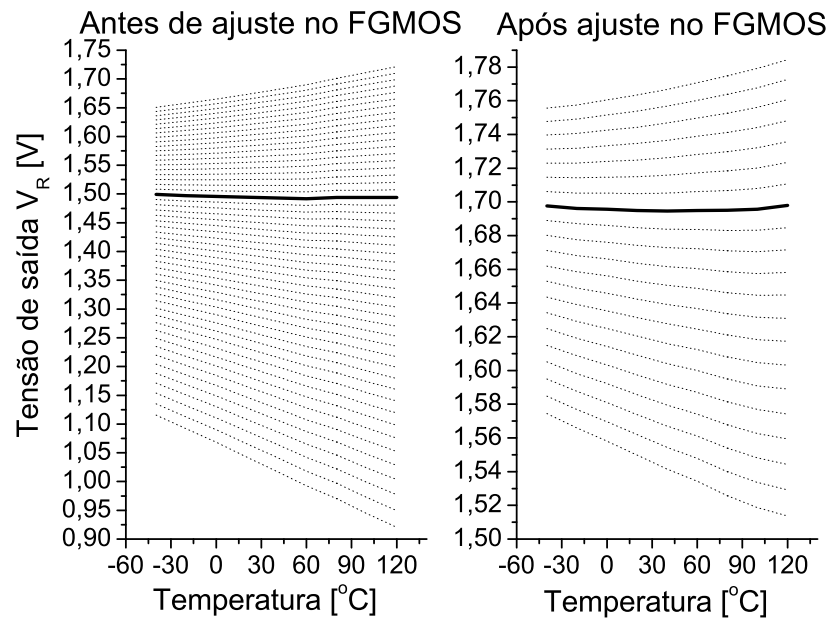


Figura 4.5: Medidas da tensão V_R em função da temperatura e da corrente I_R antes e depois do ajuste no transistor FGMOS.

Tabela 4.2: Valores médios e coeficientes térmicos da saída V_R do *chip* 1 (padrão) e do *chip* 2 antes e depois de ajustado por programação do FGMOS.

I_P	V_{R0} [V]			TC [ppm/°C]		
	10 μ A	100 μ A	1 mA	10 μ A	100 μ A	1 mA
Chip 1	1,6819	1,6876	1,8146	21,1966	20,8326	29,5047
Chip 2 antes	1,5059	1,5004	1,6453	19,0498	22,3933	43,2150
Chip 2 depois	1,6850	1,6864	1,8200	21,9430	20,2877	29,1210

uma tensão de saída igual a do *chip* 1 na temperatura ambiente. As curvas ajustadas para o valor padrão podem ser melhor vistas na figura 4.7, onde se observa que elas tem basicamente o mesmo comportamento, mesmo sendo de circuitos implementados em diferentes *chips*.

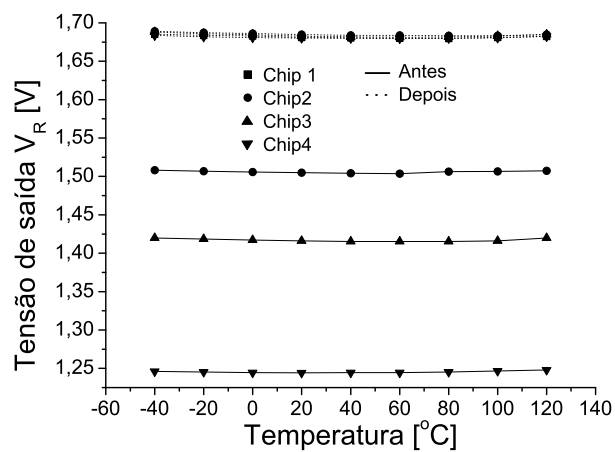


Figura 4.6: Tensões V_R medidas com I_P de $10 \mu\text{A}$ antes e depois de ajustadas para o valor padrão.

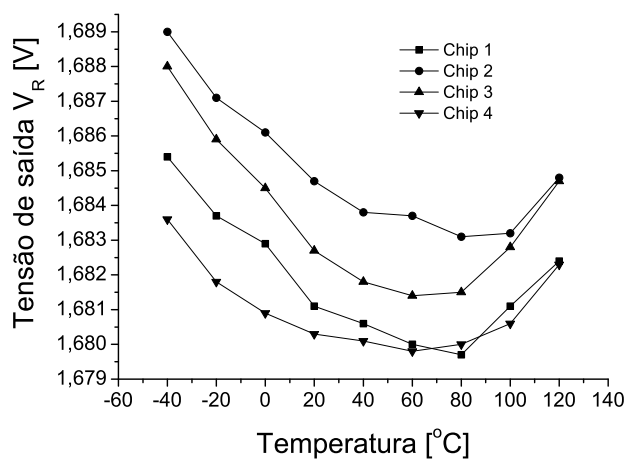


Figura 4.7: Tensões V_R medidas com I_P de $10 \mu\text{A}$ depois de ajustadas para o valor padrão.

4.5 Efeito do coeficiente térmico da corrente

Foram realizadas outras medidas com correntes PTAT. A corrente I_P foi ajustada para ter o valor de $10 \mu\text{A}$ em 120°C (o último degrau de temperatura). Novamente, a corrente I_R foi variada em cada degrau de temperatura de modo a achar uma corrente PTAT que mantivesse a saída constante.

A figura 4.6 mostra a tensão de saída V_R em função da temperatura com I_P PTAT para os 4 *chips* medidos. Estas curvas foram obtidas após a programação do FGMOS, e nota-se inclusive que, mesmo no caso de correntes PTAT, o ajuste também levou as tensões de diferentes *chips* a valores muito próximos.

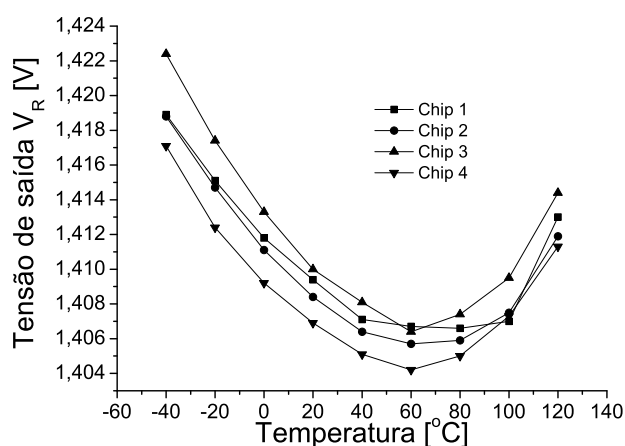


Figura 4.8: Tensões V_R medidas com I_P PTAT depois de ajustadas para o valor padrão.

Tabela 4.3: Valores médios e coeficientes térmicos da saída V_R dos *chips* 1 a 4 depois de ajustado por programação do FGMOS para corrente I_P constante de $10 \mu\text{A}$ e corrente PTAT.

I_P	Tensão média [V]		TC [ppm/°C]	
	$10 \mu\text{A}$	PTAT	$10 \mu\text{A}$	PTAT
Chip 1	1,6819	1,41062	21,137	54,179
Chip 2	1,6850	1,41004	21,832	57,707
Chip 3	1,6837	1,4121	24,437	70,304
Chip 4	1,68104	1,40872	14,107	56,894

Lembrando que os valores calculados para a derivada de segunda ordem para a tecnologia de $0,6 \mu\text{m}$ nos casos de corrente constante e corrente PTAT foram de $-0,233$ e $2,1 \text{ V}/^\circ\text{C}^2$ respectivamente. O valor negativo para corrente constante significaria uma concavidade para baixo, ao invés do que foi observado. Há fortes indícios de que o efeito que causa esta discrepância

seja o coeficiente térmico de segunda ordem da tensão V_{Th} , que não foi levado em conta para simplificar o equacionamento. Não há dados medidos deste coeficiente para a tecnologia de $0,6\mu\text{m}$, mas se este coeficiente tiver um valor positivo, como o obtido na tecnologia de $0,35\mu\text{m}$, ele causaria uma concavidade para cima, como a observada. Além disso, o fato de que as curvas obtidas com correntes PTAT têm um coeficiente térmico maior que as obtidas com corrente constante é condizente com os valores calculados das derivadas segundas.

De todo modo, também trabalhando com correntes PTAT foram obtidos resultados muito parecidos em todas as amostras medidas, novamente mostrando pouca variação com espalhamento do processo.

4.6 Conclusões

Os resultados obtidos nos protótipos mostram a viabilidade de gerar a tensão de referência proposta com base em transistores MOS. Além disso, o uso de estruturas FGMOS permitiu o ajuste da tensão de saída sem afetar a estabilidade térmica.

A variação entre as tensões ajustadas se deve ao fato de que o ajuste destas tensões não foi feito de forma automática, mas sim medindo a tensão V_R , alterando o circuito para aplicar pulsos de programação ao FGMOS e alterando-o novamente para medir a saída mais uma vez e assim por diante. Devido à não-linearidade da variação do V_{Th} com a largura, amplitude ou número de pulsos de programação, a precisão do ajuste manual é muito prejudicada.

Capítulo 5

Implementação

5.1 Introdução

São apresentados quatro circuitos distintos, três dos quais implementam fontes de tensão de referência baseadas no princípio proposto. O quarto circuito é uma fonte de corrente de referência, que funciona de modo semelhante ao princípio proposto. A característica priorizada no desenvolvimento destes elementos foi a estabilidade térmica. Outras propriedades relevantes, como regulação de linha e regulação de carga não foram consideradas metas essenciais nas concepções destes circuitos, embora, em alguns deles, a regulação de linha tenha sido bastante adequada. A regulação de carga, por sua vez, não é uma propriedade essencial em fontes de referência de tensão.

5.2 Circuito proposto #1

5.2.1 Descrição do circuito

Este primeiro circuito (REF1) é baseado em uma simples fonte referenciada a V_{Th} [57] (vide figura 5.1(a)), com a adição de mais dois transistores (um em cada braço – figura 5.1(b)). Enquanto na fonte referenciada a V_{Th} a tensão sobre o resistor é V_{GS} do transistor M1, no circuito REF1 o resistor está submetido à tensão $2V_{GS1} - V_{GS2}$. De acordo com o princípio descrito, esta tensão será termicamente estável se a relação entre as correntes $I_D(M5)$ e $I_D(M4)$ obedecer a condição determinada pela equação 3.8.

Várias efeitos impedem o funcionamento do circuito como descrito, como por exemplo problemas de *start-up* e efeito de corpo dos transistores. A influência de tais efeitos, bem como medidas para resolvê-los quando necessário são descritas abaixo.

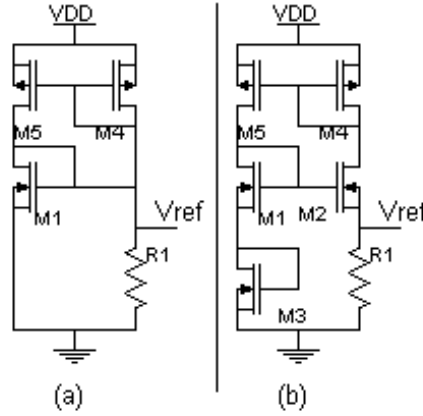


Figura 5.1: Esquemáticos das (a) fonte referenciada a V_{Th} e (b) fonte de referência proposta REF1.

5.2.2 Circuito de *start-up*

A estabilização deste circuito ocorre no ponto em que se verifica a condição $V_{GS3} + V_{GS1} = V_{GS2} + V_{R1}$, onde V_{R1} é a tensão sobre o resistor R1, conforme ilustra a figura 5.2.

Observe, porém, que o ponto zero $V_{REF} = 0$ também é um ponto estável, o que torna necessário um circuito de *start-up*, que simplesmente impede a estabilização do circuito no ponto zero. No caso presente, isto é feito usando os transistores M6, M7 e M8, ligados como diodos em série, como mostrado na Figura 5.3.

A conexão dos transistores M6, M7 e M8 exclui a operação do circuito no *ponto zero*, tendo em vista que com a aplicação de uma tensão de alimentação $V_{DD} > 0$, estes transistores conduzem através de M4, que por sua vez polariza M5. Após isso, o circuito se estabiliza no ponto desejado, levando o nó b a uma tensão baixa o suficiente para que os transistores de *start-up* fiquem desligados¹.

5.2.3 Efeito de corpo

Como o processo utilizado é de substrato p, existe efeito de corpo nos transistores M1 e M2, o que faz com que o V_{Th} destes transistores seja modificado de acordo com a relação:

$$V_{Th} = V_{Th0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right) \quad (5.1)$$

Com isto, as tensões de limiar de M1, M2 e M3 deixam de ser iguais, modificando a tensão de limiar considerada na equação 3.11. Ou seja:

¹Na verdade existirá uma pequena corrente de sublimiar, mas que é desprezível.

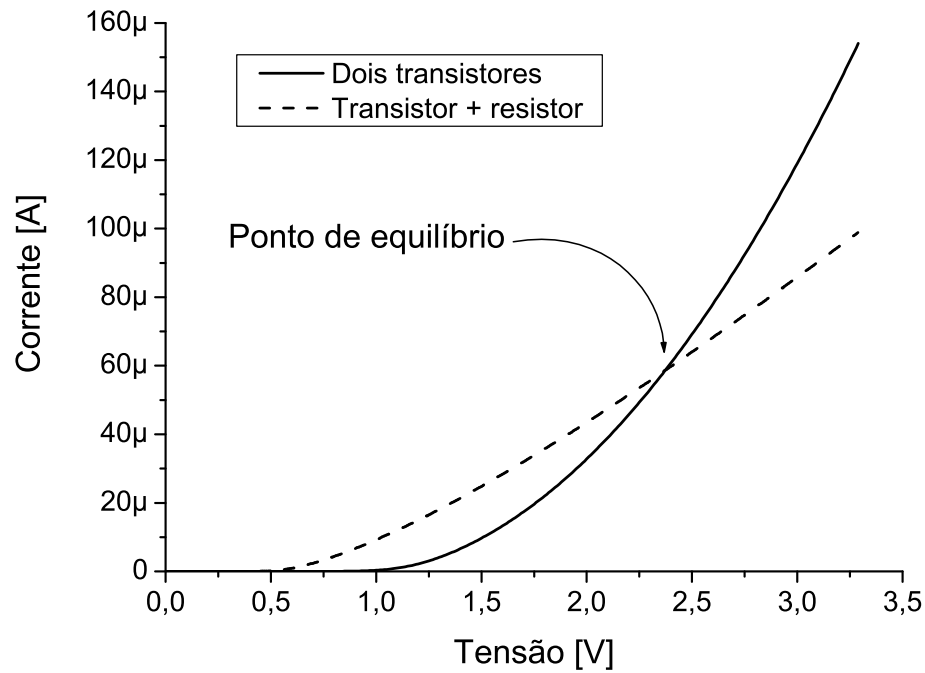


Figura 5.2: Ponto de estabilização do circuito.

$$V_{Th} = V_{Th1} + V_{Th3} - V_{Th2} \quad (5.2)$$

Tal efeito pode simplesmente ser levado em consideração no projeto, não havendo necessidades de modificações no circuito.

5.2.4 Coeficiente Térmico do resistor

O resistor é também um elemento integrado, e tem um coeficiente térmico dependente do processo. Sua resistência pode ser descrita por:

$$R = R_0 + TC_R(T - T_0) \quad (5.3)$$

Isto faz com que a corrente não seja estável em temperatura, como o é a tensão, sendo necessário, portanto, levar em conta a variação térmica da corrente. Com isso, chegamos à nova equação:

$$V_{R0} = V_{Th0} + 2\alpha_{Vt} \left(\frac{\alpha_\mu}{T_0} - \frac{\alpha_I}{I_{P0}} \right)^{-1} \quad (5.4)$$

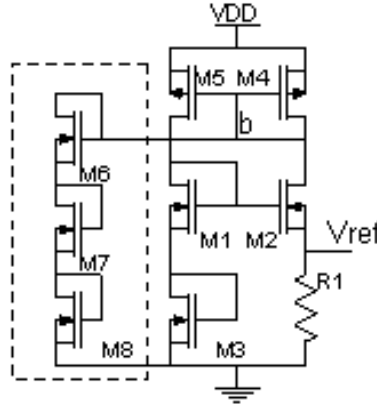


Figura 5.3: Circuito REF1 com *start-up*.

Onde V_{Th0} é considerada como sendo a tensão de limiar equivalente dos transistores M1 a M3 em T_0 , levando em conta o efeito de corpo. Pode-se aproximar α_I por $I_{P0}TC_R$, já que TC, em geral, é bem menor que 1. Com isto, a equação é modificada apenas pelo valor do coeficiente térmico.

$$V_{R0} = V_{Th0} + 2\alpha_{vt} \left(\frac{\alpha_{\mu} T_0}{-} TC_R \right)^{-1} \quad (5.5)$$

5.2.5 Mecanismo de ajuste fino (*Trimming*)

Como todo circuito de referência, este circuito também está sujeito a variações de processo, precisando então de um mecanismo de ajuste. No caso, foi escolhido o resistor como o elemento a ser ajustado. O *trimming*² do resistor corrige qualquer erro proveniente do espalhamento do valor do resistor, porém espalhamentos nos valores de V_{Th} ou fraco casamento entre os transistores têm impacto direto no valor de V_{R0} previsto pela equação 5.5. Logo o *trimming* será capaz de estabilizar o circuito em temperatura, a custa de pequenas variações no valor da tensão de referência produzida.

O circuito de *trimming* do resistor usa uma estrutura formada por flip-flops JK e chaves analógicas, controladas através de um único terminal que propicia a realização deste ajuste por meio de uma sequência serial binária (figura 5.4). Cada pulso nesta entrada incrementa um contador que curto-circuita ou não resistores em série, fazendo assim com que a resistência total seja ajustada, num total de 16 valores possíveis.

As chaves analógicas utilizadas para *trimming* têm o tamanho de $10/0,35 \mu\text{m}/\mu\text{m}$ para garantir que seu R_{ON} (resistência quando ligado) seja muito pequeno. O W pode ser grande já que o circuito opera em corrente contínua e não é necessária uma boa resposta em frequência.

O circuito REF1 completo foi implementado em CMOS $0,35 \mu\text{m}$ [35]. Os transistores apre-

²O termo *trimming* é usado ao longo deste texto sem ser traduzido.

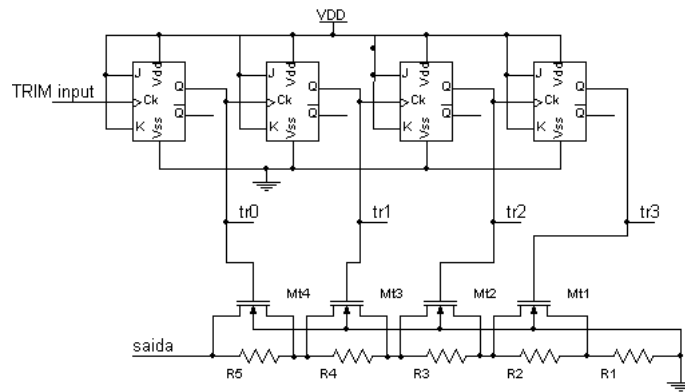
Figura 5.4: Esquemático do resistor com circuito de *trimming*.

Tabela 5.1: Valores dos resistores do circuito

Resistor	Resistência [k Ω]
R1	61,17
R2	75,28
R3	37,64
R4	18,82
R5	9,41

sentam as dimensões mostradas na tabela 5.2. Os resistores têm os valores já mostrados na tabela 5.1.

Tabela 5.2: Dimensões dos transistores do circuito REF1.

Transistor	W/L [$\mu\text{m}/\mu\text{m}$]
M1 e M3	3/3
M2	6/3
M4 e M5	3/3

5.2.6 Medidas do circuito REF1

A fotomicrografia deste circuito é mostrada na figura 5.5. As dimensões deste circuito são de aproximadamente $222 \mu\text{m} \times 141 \mu\text{m}$. Cerca de 85 % desta área são ocupados pelos resistores integrados.

Como este circuito foi fabricado junto a outros projetos, só temos apenas uma amostra. Esta amostra foi testada no interior de uma câmara térmica variando a temperatura de -40 a 120 °C com passos de 20 °C. Em cada temperatura foi feita uma varredura de todas as possibilidades de *trimming*. O resultado é mostrado na figura 5.6(a).

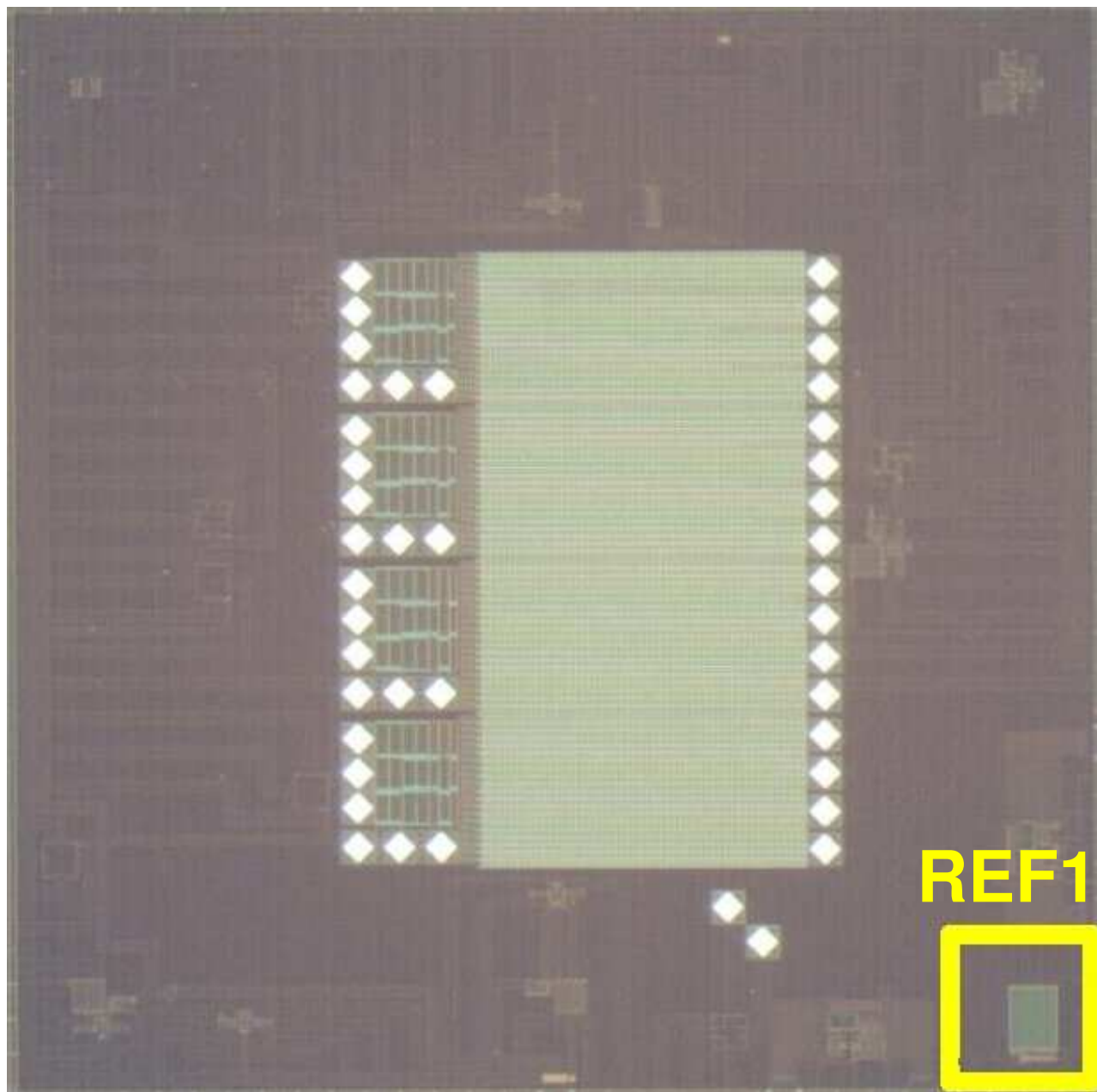


Figura 5.5: Fotomicrografia do Chip FAPESP108, com o circuito REF1 identificado no canto inferior direito.

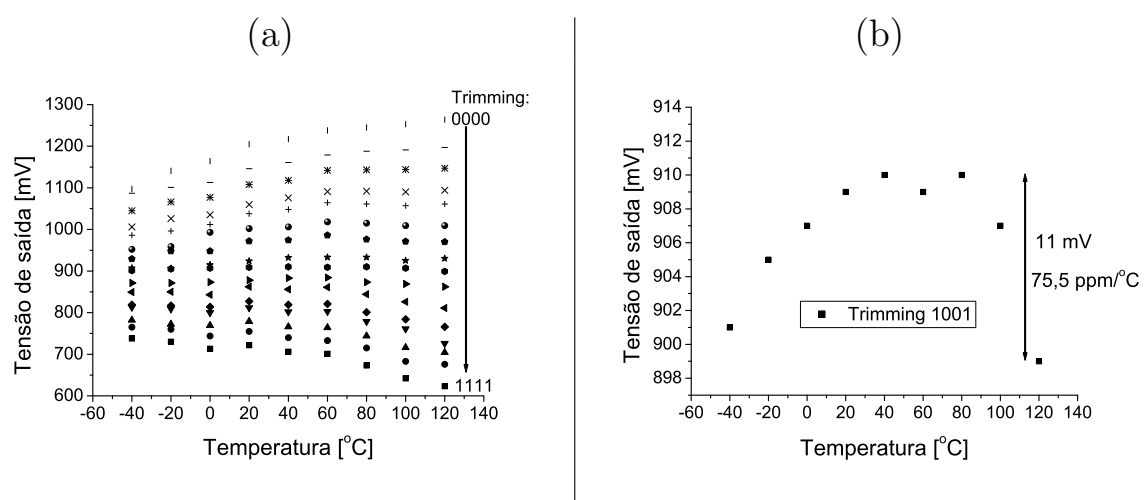


Figura 5.6: Tensão de saída de REF1 em função da temperatura.(a)Para todos os trimmings e (b)melhor resultado

A figura 5.6(b) apresenta a tensão de saída que menos varia em função da temperatura, esta foi obtida com o trimming 1001 e apresenta um valor de 906,3 mV, com uma variação total de 11 mV, resultando em uma estabilidade de 75,5 ppm/°C, enquanto que os valores simulados foram de 823,5 mV de tensão média e 86,59 ppm/°C.

Um outro teste que foi realizado neste e nos outros circuitos foi a varredura da tensão de alimentação de 0 a 3,5 V utilizando o analisador de parâmetros HP4155, para medir a rejeição de linha e a mínima tensão de alimentação.

A rejeição de linha, cuja sigla em inglês é PSRR (*Power Supply Rejection Ratio*) tem seu valor em dB calculado pela equação:

$$\text{PSRR} = 20 \log \left(\frac{\delta V_{SS}}{\delta V_{SAI}} \right)$$

onde δV_{SS} é a variação da tensão de alimentação e δV_{SAI} é a variação da tensão de saída. No caso, as medidas em todos os circuitos são feitas com $\delta V_{SS} = 2 \text{ mV}$.

Esta varredura é mostrada na figura 5.7, junto com a simulação.

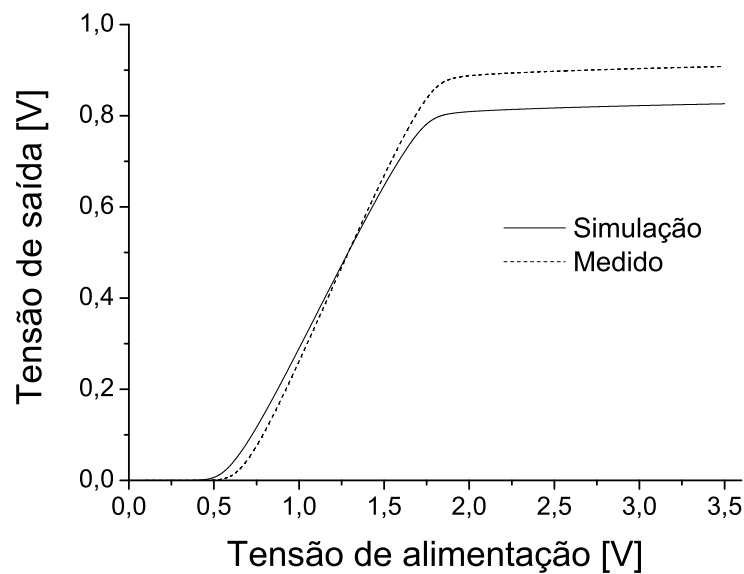


Figura 5.7: Tensão de saída do circuito REF1 em função da tensão de alimentação.

Observa-se que o formato da curva é muito parecido com a simulação, sendo a maior diferença devido à tensão em que se estabiliza, que ficou um pouco maior que o simulado. A tabela 5.3 mostra mais claramente as diferenças entre os valores medidos e os calculados.

Tabela 5.3: Valores medidos da tensão de referência, do coeficiente térmico, da mínima tensão de alimentação e da rejeição de linha do circuito REF1 em comparação com os obtidos em simulação.

	Tensão de saída [V]	TC [ppm/°C]	Mínimo VDD [V]	PSRR [dB]
Simulado	0,8235	86,59	1,93	42,1
Medido	0,9063	75,5	1,95	41,28

5.3 Circuito Proposto #2

5.3.1 Descrição do circuito

Este segundo circuito (REF2) é uma implementação direta do princípio de compensação de diferentes tensões V_{GS} . Neste circuito (figura 5.8), os transistores que produzem as componentes de tensão $2V_{GS}(M2)$ e $V_{GS}(M1)$ são polarizados com correntes geradas pela fonte de corrente formada pelos transistores M4, M5, M8 e M10 e resistor R1. R1 foi definido em simulação para que as correntes tenham os valores que geram a tensão de referência e é dimensionado para 20 k Ω . Na temperatura ambiente, a tensão V_{GS} do transistor M4 é de aproximadamente 1V, o que produz uma corrente de aproximadamente 10 μ A em M2 e M1.

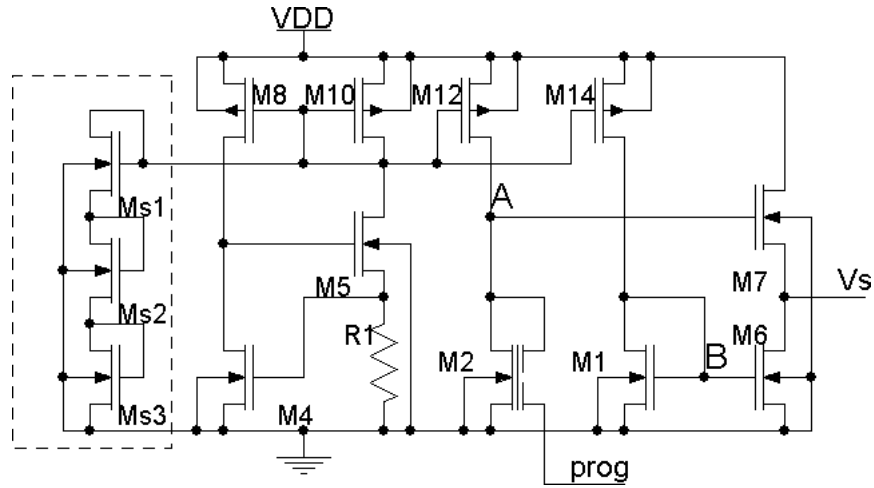


Figura 5.8: Esquemático da fonte de referência proposta REF2.

A tensão $2V_{GS2}$ é gerado pelo transistor FGMOS M2, quando o terminal **prog** é ligado ao terra (que é onde ele normalmente ficará ligado em seu modo normal de operação) enquanto que a tensão V_{GS1} é gerada sobre o transistor M1.

O estágio de saída composto por M6 e M7 funciona copiando a tensão V_{GS1} que está no transistor M6 para o transistor M7, de modo que $V_{GS7} = V_{GS1}$. Deste modo o circuito subtrai a tensão no *gate* de M7 ($2V_{GS2}$) da tensão no *gate* de M6 (V_{GS1}), fazendo $V_S = 2V_{GS2} - V_{GS1}$.

Esta implementação, utilizando um transistor *floating-gate*, permite a geração da tensão $2V_{GS2}$ sem o efeito de corpo, porém este efeito ainda afeta o transistor M7. Neste caso, porém, como a tensão de corpo de M7 é a própria tensão de referência V_S , que é projetada para ser estável em temperatura, este erro vai causar uma variação de tensão em temperatura menor que no circuito REF1, onde a tensão de corpo do transistor variava em temperatura. Observando o circuito, nota-se que o diferente V_{Th} do transistor M7, que sem o efeito de corpo seria igual

ao V_{Th} do transistor M6³.

$$V_S = 2V_{GS2} - V_{GS1} - (V_{Th7} - V_{Th6}) \quad (5.6)$$

O *trimming* deste circuito é feito no transistor FGMOS, pelo ajuste das cargas presas no *gate* flutuante, que é realizado através de pulsos de alta tensão aplicados ao terminal **prog** com o resto do circuito aterrado. Como o ajuste das cargas causa a variação da tensão de limiar efetiva do transistor M2, no final este ajuste compensa a variação do V_{Th7} .

As dimensões dos transistores deste circuito são mostradas na tabela 5.4. O resistor R1 têm 4 μm de largura por 63 μm de comprimento, o que faz com que seu valor seja de aproximadamente 20 k Ω .

Tabela 5.4: Dimensões dos transistores do circuito REF2.

Transistor	W/L [$\mu\text{m}/\mu\text{m}$]
M1	9/3
M3	3/3
M4 e M5	6/3
M6 e M7	30/3
M8	3/3
M10	30/3
M12 e M14	6/3
Ms1 a Ms3	6/3

5.3.2 Medidas do circuito REF2

Os circuitos REF2, REF3 e REF4 foram fabricados no mesmo *chip*, o FAPESP121B, junto com os transistores isolados utilizados para caracterização descrita no capítulo 2. A fotomicrografia do *chip* completo FAPESP121B é mostrado na figura 5.9. O detalhe do circuito REF2 é mostrado na figura 5.10. Este circuito ocupa 75 $\mu\text{m} \times 83 \mu\text{m}$. Aproximadamente metade desta área é ocupada pelos capacitores de entrada do FGMOS.

A primeira parte testada no circuito REF2 foi o *trimming* através de pulsos no *floating-gate*. Para tanto, vários pulsos de programação foram aplicados ao terminal **prog** e entre os pulsos este terminal era aterrado e a tensão de saída era medida. A figura 5.11 mostra a tensão de saída V_S variando de acordo com o número de pulsos aplicados. No início do teste o *chip* apresentava a tensão V_S próxima a 2,2 V, então vários pulsos de -15 V com 2 s de largura no terminal prog abaixaram este valor para próximo a 0,9 V. Novos pulsos, agora de +14,5 V e

³sem considerar variações do V_{Th} entre transistores posicionados próximos um ao outro.

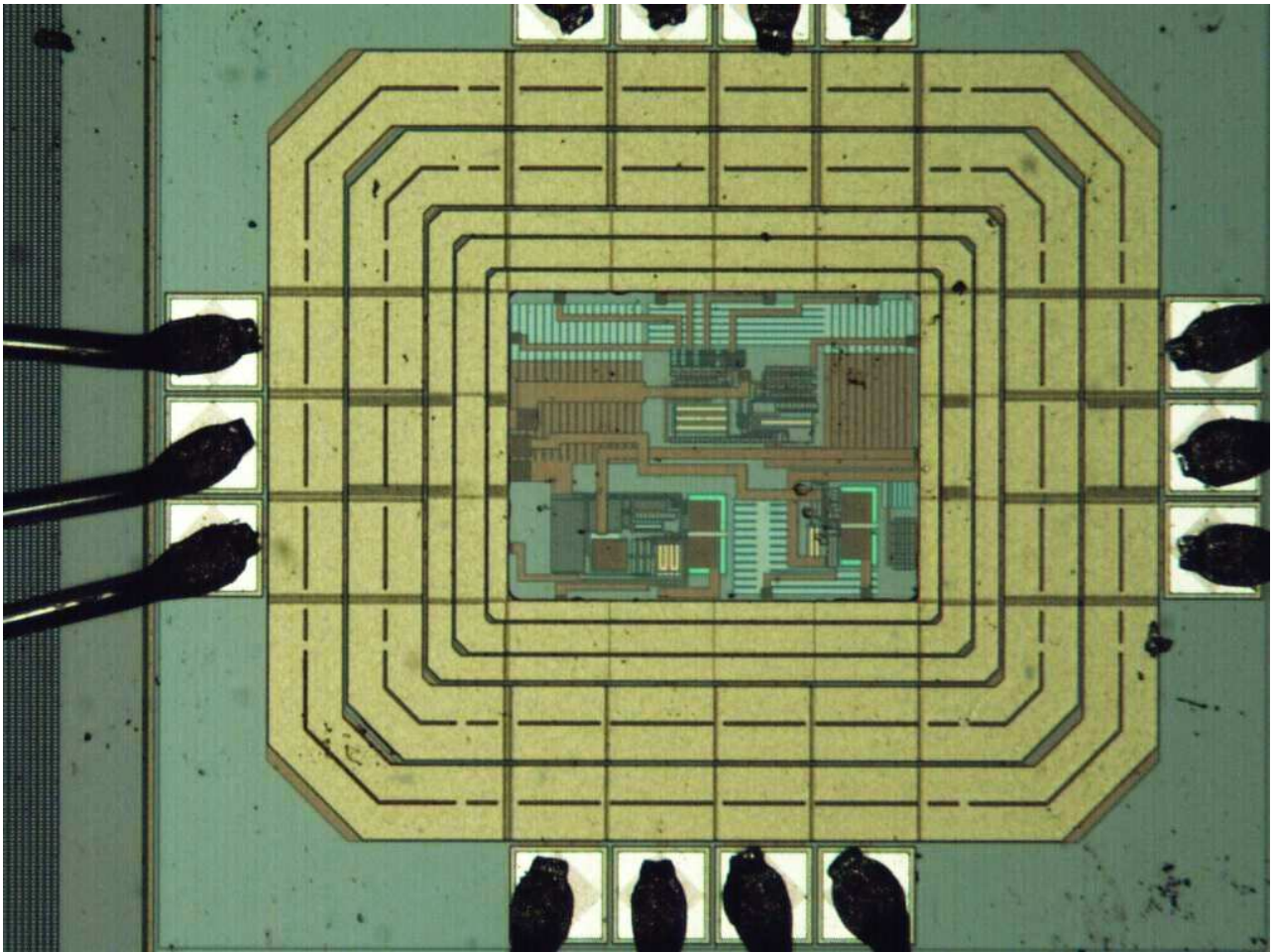


Figura 5.9: Fotomicrografia do *chip* FAPESP121B.

0,25 s de largura elevaram novamente esta tensão de volta a aproximadamente 2 V.⁴

Como a tensão obtida por simulação era aproximadamente 963 mV, o *trimming* mostrou-se eficaz, pois conseguiu levar a tensão de saída além deste valor. Note-se que tensões além desta faixa também são possíveis, bastando para isso apenas alterar a amplitude, largura ou número dos pulsos aplicados.

Para testar a estabilidade térmica, o circuito foi ajustado para alguns valores de saída (inclusive o valor esperado obtido em simulação) e testado numa câmara térmica com temperaturas entre -40 e 120 °C, com passos de 20 °C. Os resultados são mostrados na figura 5.12. Os resultados de simulação mostrados foram obtidos utilizando o simulador Eldo, com o modelo BSIM fornecido pelo fabricante para os transistores MOS.

Note-se que a variação de tensão não muda muito, mesmo com o tensão ajustada para os mais diversos valores. Isto era esperado, já que a corrente de polarização é independente de

⁴As amplitudes e larguras dos pulsos foram determinadas experimentalmente.

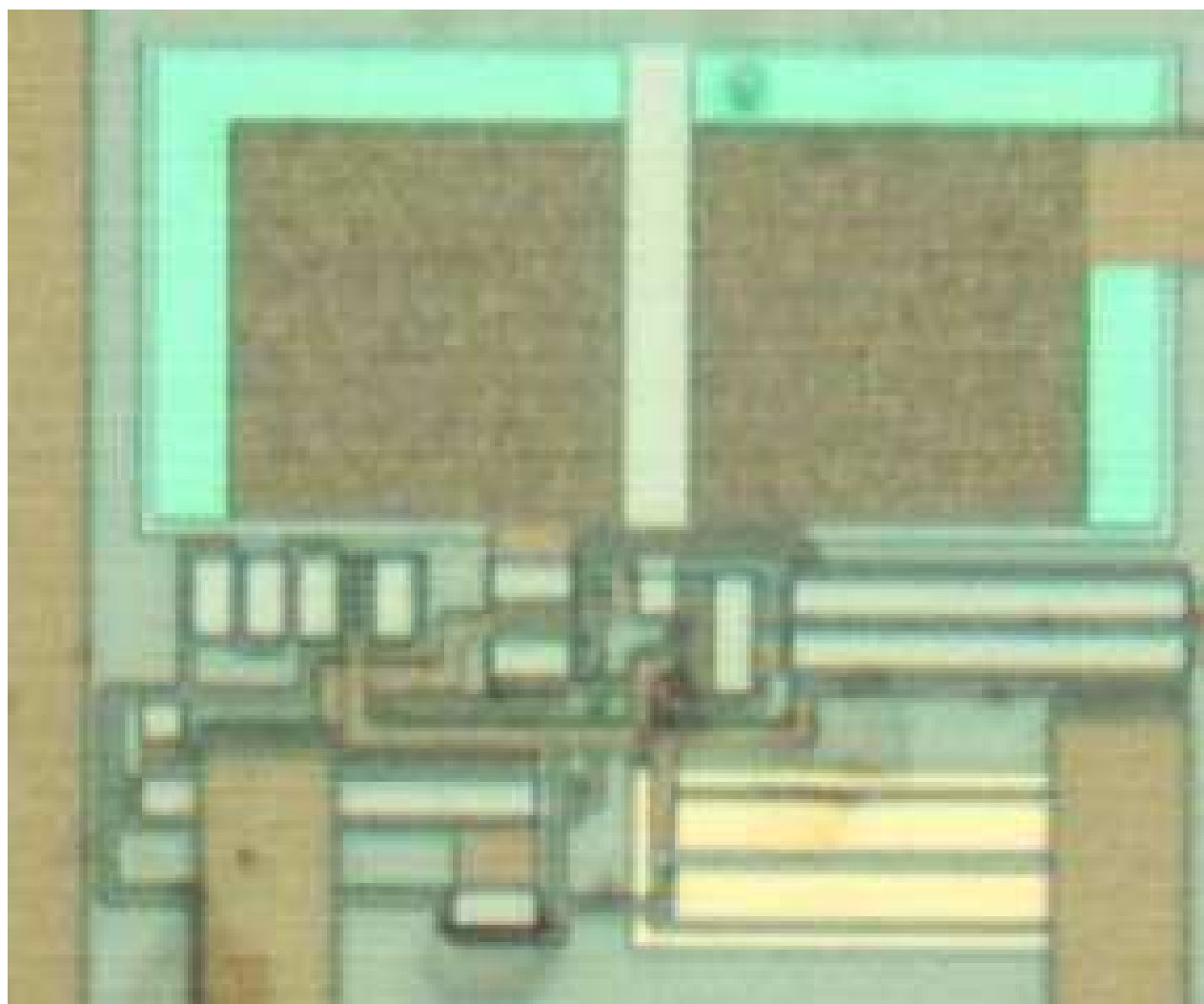


Figura 5.10: Fotomicrografia do circuito REF2.

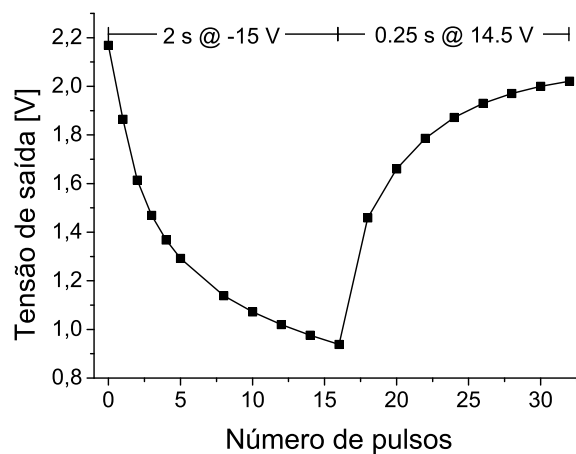


Figura 5.11: Variação da tensão de saída do circuito REF2 após pulsos de programação de -15 V com largura de 2 s e -14,5 V com largura de 0,25 s.

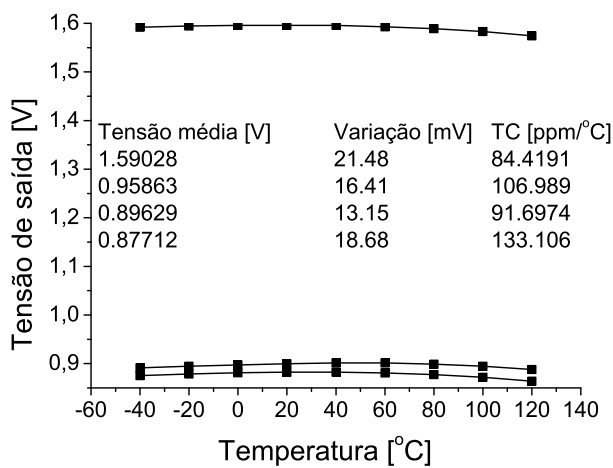


Figura 5.12: Tensão de saída do circuito REF2 versus temperatura. As diferentes curvas se referem a diferentes valores da carga presa.

M2. Logo, a mudança do V_{Th} de M2 é somada diretamente à saída sem afetar a variação.

Infelizmente, obteve-se uma variação de tensão 2 vezes maior que a obtida por simulação.

Como já foi constatado, os resistores integrados apresentaram um comportamento térmico muito pouco linear, e este é o provável motivo da discrepância observada. Para comprovar esta hipótese, foi feita uma nova simulação do circuito utilizando o resistor com coeficientes térmicos de primeira e segunda ordem, que já foram obtidos por ajuste de parâmetros de um resistor medido.

Além disso, para melhor observar o espalhamento desta referência, outros circuitos foram ajustados para uma tensão de saída próxima a 963 mV e estes resultados foram comparados com a simulação utilizando resistores com variação linear com a temperatura e com variação quadrática (figura 5.13).

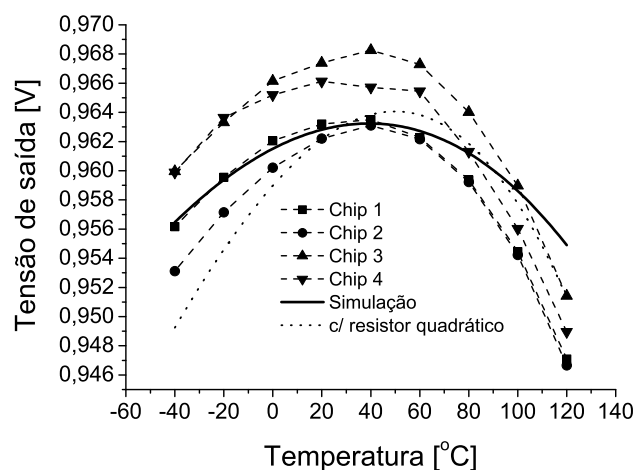


Figura 5.13: Medidas da tensão de saída do circuito REF2 versus temperatura comparadas com simulação.

Tabela 5.5: Valores medidos da tensão de referência e do coeficiente térmico em comparação com os obtidos em simulação.

	Tensão de referência [mV]	Variação [mV]	TC [ppm/°C]
<i>Chip 1</i>	958.63	16.41	106.989
<i>Chip 2</i>	957.56	16.44	107.304
<i>Chip 3</i>	962.97	16.85	109.362
<i>Chip 4</i>	961.37	17.15	111.495
Sim. c/ resistor simples	960.09	8.34	54.292
Sim. c/ resistor quadrático	959,19	0,01483	96,633

É bem significativo o fato de que a variação de tensão com a temperatura é praticamente

a mesma entre as amostras. Note que a simulação com o resistor com TC de segunda ordem mostra uma variação em temperatura muito próxima daquela medida, mostrando que o comportamento não-linear do resistor é o responsável pela grande dependência térmica.

A varredura da tensão de alimentação também foi realizada em um dos *chips* fabricados e o resultado é mostrado na figura 5.14.

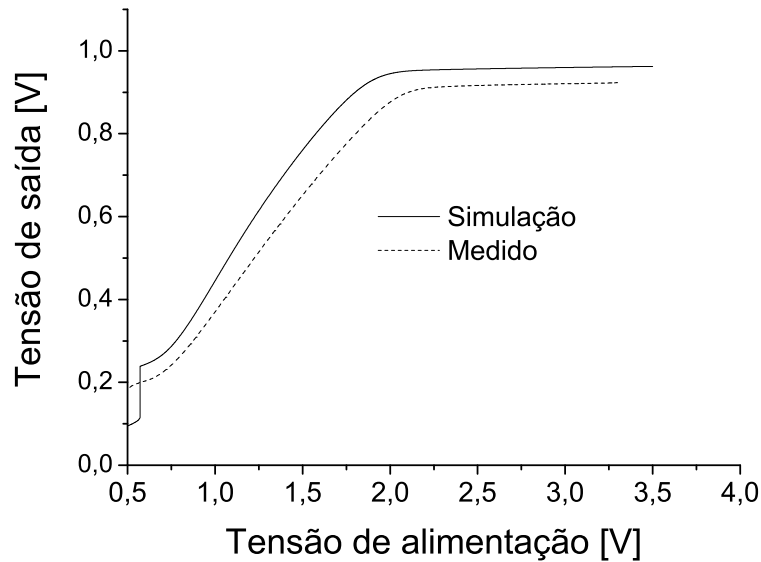


Figura 5.14: Tensão de saída do circuito REF2 em função da tensão de alimentação.

A diferença da tensão estabilizada se deve ao ajuste que não foi otimizado, pois, a princípio, seria possível igualar a tensão com um ajuste mais fino da carga no FGMOS. Mais significativos são os valores da mínima tensão de alimentação (que na simulação é de 2,10 V e foi medido sendo 2,18) e o PSRR (de 47,5 dB na simulação e 46,0 dB medido).

5.4 Circuito Proposto #3

O diagrama esquemático do circuito REF3 pode ser visto na figura 5.15. Assim como no circuito REF1, a corrente de polarização é gerada pelo próprio circuito através de uma malha de realimentação, mas, enquanto no REF1 a realimentação é implementada por um espelho de corrente, neste, um OTA realiza a realimentação. As tensões V_{GS1} e V_{GS2} são geradas do mesmo modo que no circuito REF2, mas, devido a realimentação, a corrente sobre o resistor R1 estabiliza com o valor $(2V_{GS2} - V_{GS1}) / R1$.

Deste modo, o circuito pode tanto atuar como uma fonte de corrente quanto uma fonte de

5.4.1 Resultados do circuito REF3

A fotomicrografia deste circuito está na figura 5.16. Infelizmente este circuito não funcionou e o ajuste pelo FGMOS apenas fazia com que ele saturasse, ou em zero Volts ou próximo a 3 V, sem nunca estabilizar em algum ponto intermediário. Por conta disto, só há resultados de simulação para este circuito.

Uma análise posterior mostrou que esta falha ocorre pela inversão das entradas do amplificador operacional, um erro de *layout* que não foi corrigido.

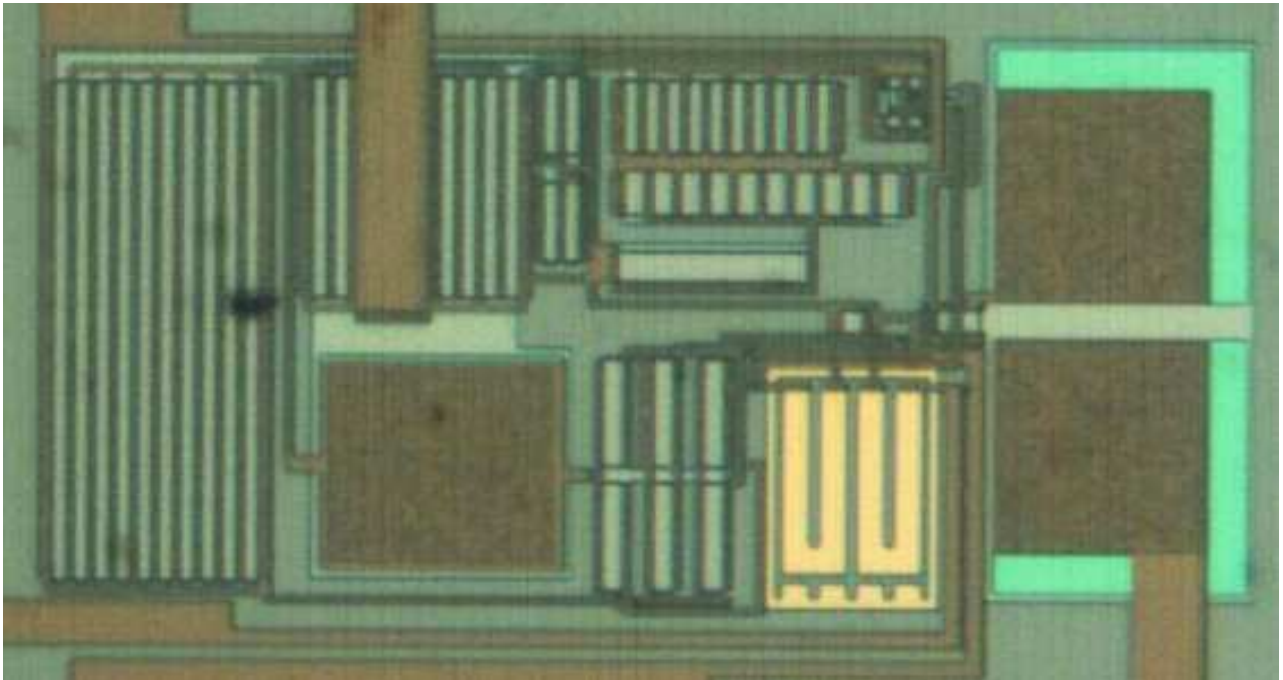


Figura 5.16: Fotomicrografia do circuito REF3.

As dimensões deste circuito são de aproximadamente $181\ \mu\text{m} \times 83\ \mu\text{m}$, cerca de 70 % ocupado pelo amplificador.

A figura 5.17 mostra a simulação deste circuito em temperatura, mostrando que o mesmo apresenta um coeficiente térmico de 73,88 ppm/°C.

A simulação deste circuito em função da tensão de alimentação pode ser vista na figura 5.18. Foi obtida uma tensão mínima de alimentação de 3,04 V, com um PSRR calculado em torno de $V_{DD} = 3,3\ \text{V}$ sendo 38,5 dB.

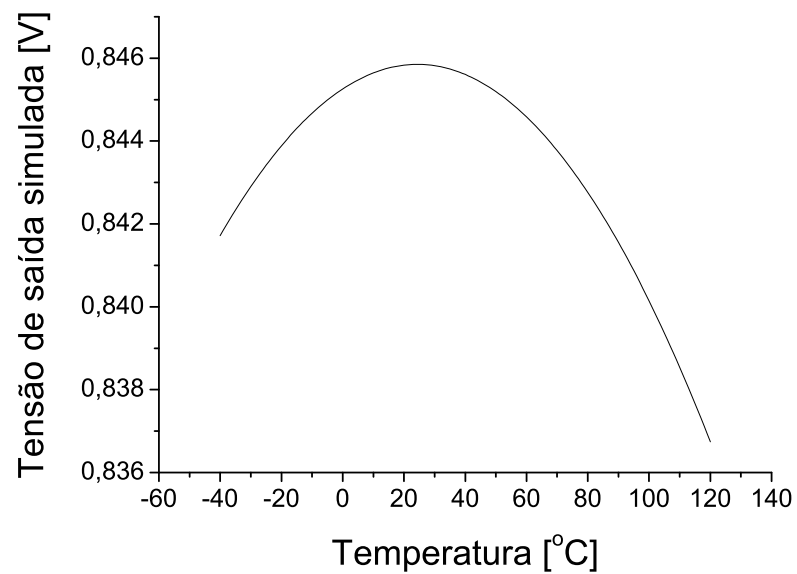


Figura 5.17: Simulação da tensão de saída do circuito REF3 versus temperatura.

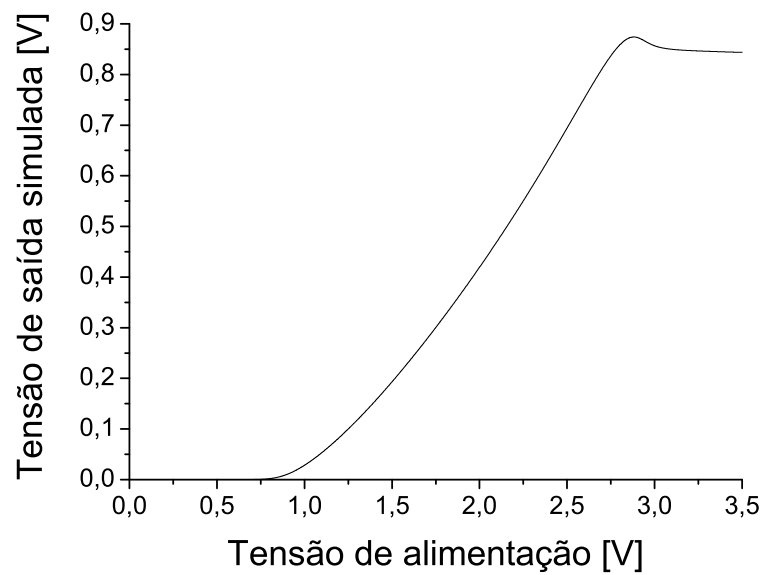


Figura 5.18: Simulação da tensão de saída do circuito REF3 em função da tensão de alimentação.

5.5 Circuito Proposto #4

5.5.1 Descrição do circuito

O REF4 é uma implementação de uma fonte de corrente de referência, cujo princípio de funcionamento é inspirado no que foi usado nos circuitos anteriores. Este circuito é mostrado na figura 5.19 e é composto de duas fontes de corrente: I_c , referenciada à tensão V_{GS} de um transistor, como a utilizada no REF2; e I_p referenciada a diferença de tensão ΔV_{GS} .

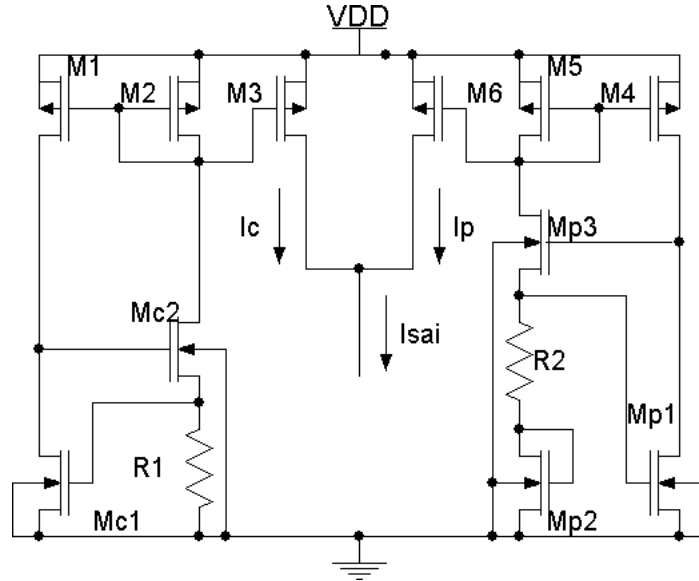


Figura 5.19: Esquemático simplificado da fonte de referência proposta REF4.

A corrente I_c é gerada utilizando o V_{GS} do transistor Mc1, polarizado para ter coeficiente térmico negativo, enquanto que a corrente I_p , por ser gerada a partir de um ΔV_{GS} , obrigatoriamente apresenta um coeficiente positivo⁵. Deste modo, uma composição linear destes dois termos (o que é facilmente realizado como corrente apenas levando-as ao mesmo nó) permite a geração de uma saída estável em temperatura.

$$I_{sai} = I_c + kI_p = \frac{V_{GS}}{R1} + k \frac{\Delta V_{GS}}{R2} \quad (5.9)$$

O *trimming* deste circuito é o ajuste do termo k da equação 5.9, realizado como várias saídas de corrente que são frações da corrente I_p . Basta ligar estas correntes ao nó de saída para somá-las a corrente I_{sai} . Para tanto, o espelho de corrente que gera a corrente I_p tem, no circuito completo, várias derivações de saída com tamanhos diferentes gerando as correntes I_{t1} a I_{t4} .

⁵ $\Delta V_{GS} = V_{GS}(Mp1) - V_{GS}(Mp2) > 0$, ou seja, $V_{GS}(Mp1) > V_{GS}(Mp2)$. Nesta situação, o coeficiente térmico de $V_{GS}(Mp1)$ é maior que o de $V_{GS}(Mp2)$, logo a tensão ΔV_{GS} tem um coeficiente térmico positivo.

Note-se que as fontes de corrente utilizadas também necessitam de um pequeno circuito de *start-up*, assim como os outros circuitos. Isto é realizado da mesma maneira que nos circuitos anteriores, que seja, com a adição de alguns transistores que servem como caminho de corrente, impossibilitando a estabilização em zero.

Como este circuito necessita de uma tensão menor que o REF2 para funcionar, os espelhos de corrente p foram implementados como espelhos cascode, para aumentar a rejeição de linha do circuito.

O circuito completo, com todas as saídas de corrente de *trimming*, os espelhos cascode e os transistores de *start-up* é mostrado na figura 5.20. As dimensões dos transistores utilizados são mostradas na tabela 5.7. Os resistores R1 e R2 apresentam 15,66 k Ω e 5,22 k Ω respectivamente.

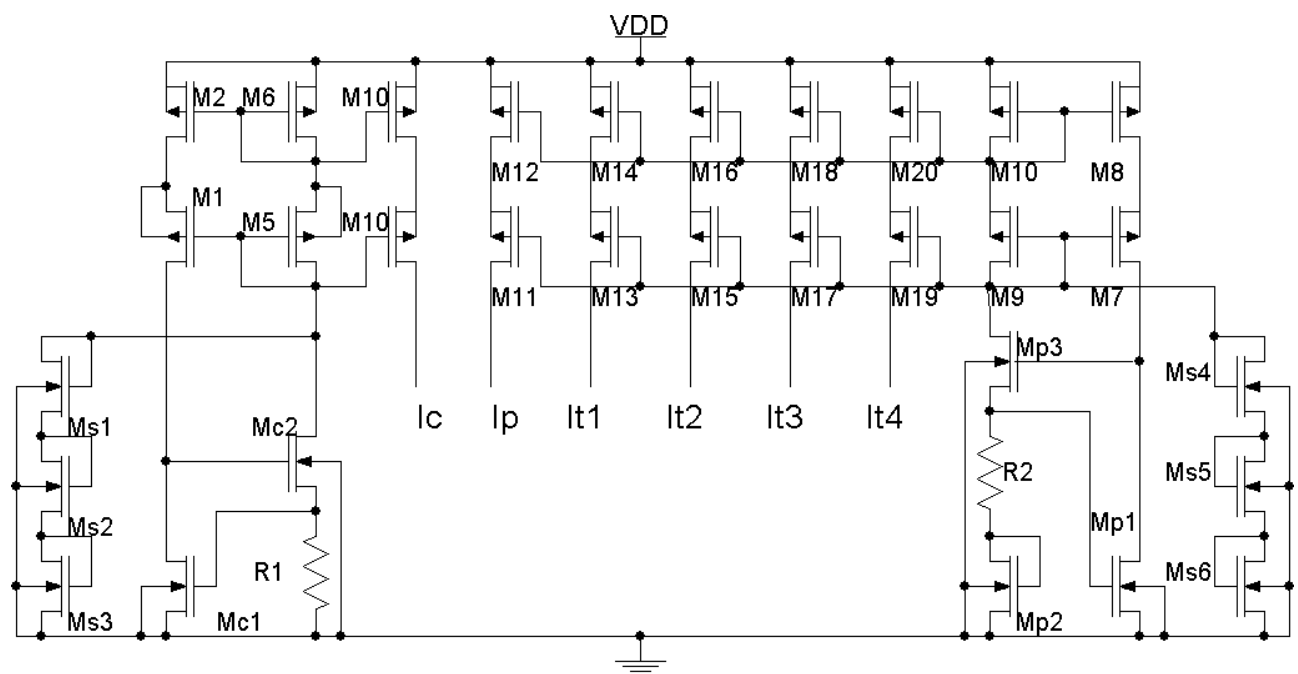


Figura 5.20: Esquemático completo da fonte de referência proposta REF4.

5.5.2 Medidas do circuito REF4

A fotomicrografia deste circuito é mostrada na figura 5.21. Suas dimensões são de aproximadamente 155 μ \times 93 μ m.

A medida da corrente de saída em temperatura do circuito REF3 encontra-se na figura 5.22. A corrente I_{sai} com *trimming* 0000 equivale à soma das correntes I_c e I_p , sem a adição de nenhuma das correntes de *trimming* (mínima corrente). Já a a corrente com *trimming* 1111 é I_c mais I_p e todas as correntes de *trimming* (máxima corrente). Cinco *chips* foram medidos.

Tabela 5.7: Dimensões dos transistores do circuito REF4.

Transistor	W/L [$\mu\text{m}/\mu\text{m}$]
Mp1	3/3
Mp2 e Mp3	60/3
Mc1	6/3
Mc2	60/3
Ms1 a Ms6	1/3
M1 e M2	3/3
M3 e M4	30/3
M5 e M6	30/3
M7 e M8	3/3
M9 e M10	30/3
M11 e M12	12/3
M13 e M14	8/3
M15 e M16	4/3
M17 e M18	2/3
M19 e M20	1/3

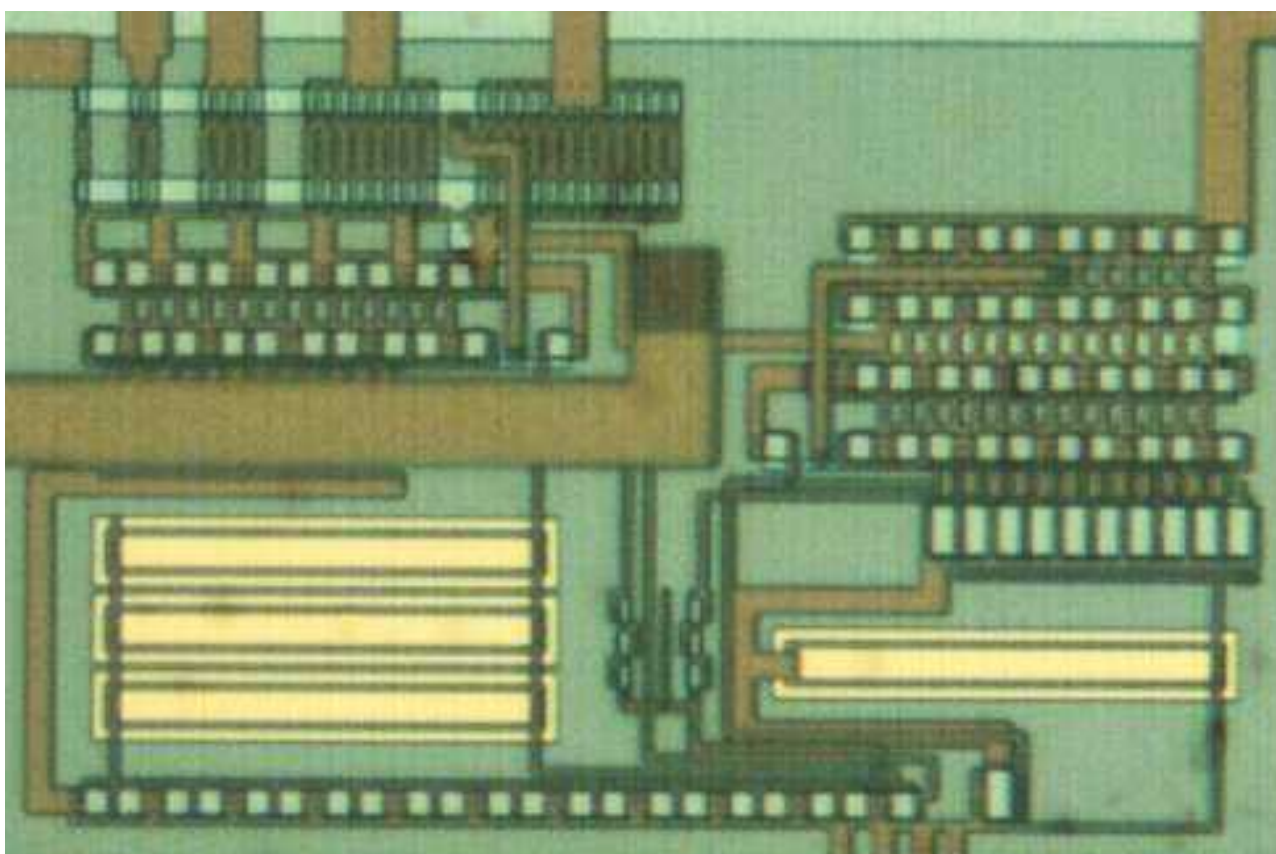


Figura 5.21: Fotomicrografia do circuito REF4.

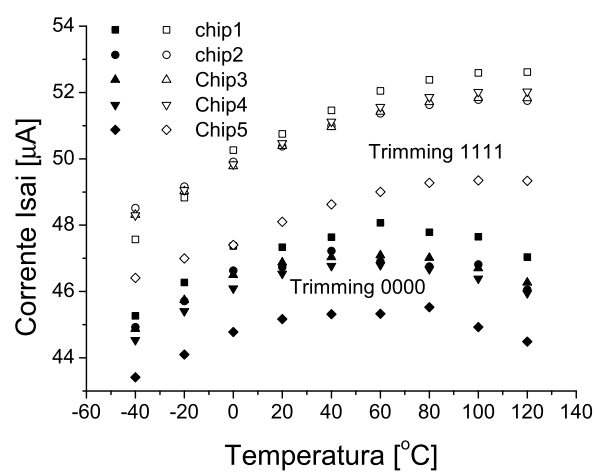


Figura 5.22: Corrente de saída do circuito REF4 em função da temperatura.

Nota-se que mesmo sem obter uma estabilização em temperatura de primeira ordem, a variação de segunda ordem é bem maior que o esperado, levando a um coeficiente térmico muito alto (da ordem de 500 ppm/°C). Novamente supôs-se que a causa desta grande variação é a curvatura do resistor, que já causou uma variação na tensão obtida no circuito REF2. Para testar esta hipótese, a figura 5.23 mostra as curvas de I_p e I_c em temperatura obtidas pela simulação com o resistor linear, com o resistor quadrático e dados medidos do *chip* 1. Observa-se que o resistor causa realmente a distorção da corrente I_p , muito embora a corrente I_c mantenha-se bastante linear.

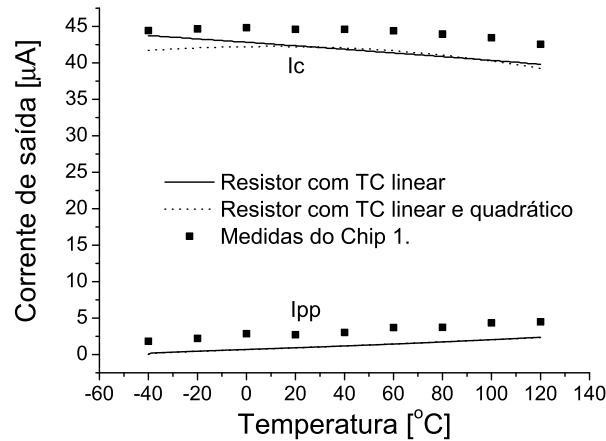


Figura 5.23: Correntes I_c e I_p do circuito REF4 em função da temperatura comparando a simulação com o medido.

Como as fontes de corrente I_c e I_p são definidas pelas relações $V_{GS}/R1$ e $\Delta V_{GS}/R2$, pode-se anular o efeito de R utilizando um outro resistor do mesmo tipo, fazendo agora a saída ser uma tensão (equação 5.10).

$$V_{sai} = (I_c + I_p) R3 \cong \left(\frac{V_{gs}}{R1} + \frac{\Delta V_{gs}}{R2} \right) R3 \quad (5.10)$$

Com isto, obtemos uma tensão de saída que é, em primeira ordem, independente de variações na resistência. A figura 5.24 mostra a saída em temperatura do circuito REF4 para o máximo e o mínimo *trimming*. Os valores médios e os coeficientes térmicos obtidos são mostrados na tabela 5.8. Tanto para esta figura quanto para a tabela, apenas algumas amostras foram consideradas para facilitar a visualização.

A figura 5.25 mostra histogramas das tensões de saída deste circuito com máximo e mínimo *trimming* para todas as amostras. É bem visível tanto nesta figura quanto na figura 5.24 que a variação nas tensões de saídas são muito grandes.

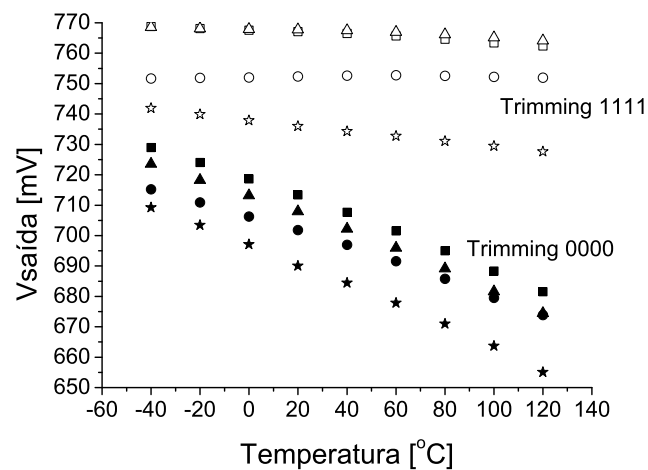


Figura 5.24: Medidas em temperatura das tensões de saída do circuito REF4 para 4 diferentes amostras. Os símbolos cheios são o mínimo ajuste (*trimming* 0000) enquanto que os símbolos vazios são o máximo ajuste (*trimming* 1111).

Um fator importante que pode explicar isto é o *layout* dos resistores. Um casamento ruim entre os resistores que geram as correntes I_c e I_p e o resistor de saída do circuito causaria uma variação grande como a que foi observada. A figura 5.26 mostra que o resistor R2 do circuito REF3, que foi usado como resistor de saída do circuito REF4 está posicionado numa direção transversal aos outros resistores do circuito REF4; isto causa erros de descasamento devido a variações no processo e ao *stress* mecânico, fatores que afetam os resistores de modo diferente de acordo com sua orientação.

Um dos *chips* foi medido em temperatura ambiente variando a tensão de alimentação de

Tabela 5.8: Valores médios e coeficientes térmicos das tensões de saída do circuito REF4.

	Valor médio [mV]	TC [ppm/°C]
<i>trimming</i> 0000		
Chip 1	695.7637	361.6951
Chip 3	706.5644	406.7199
Chip 4	700.6985	424.1934
Chip 5	683.5275	477.515
<i>trimming</i> 1111		
Chip 1	752.2178	8.974865
Chip 3	766.0154	52.09105
Chip 4	766.933	36.17914
Chip 5	734.5305	120.2298

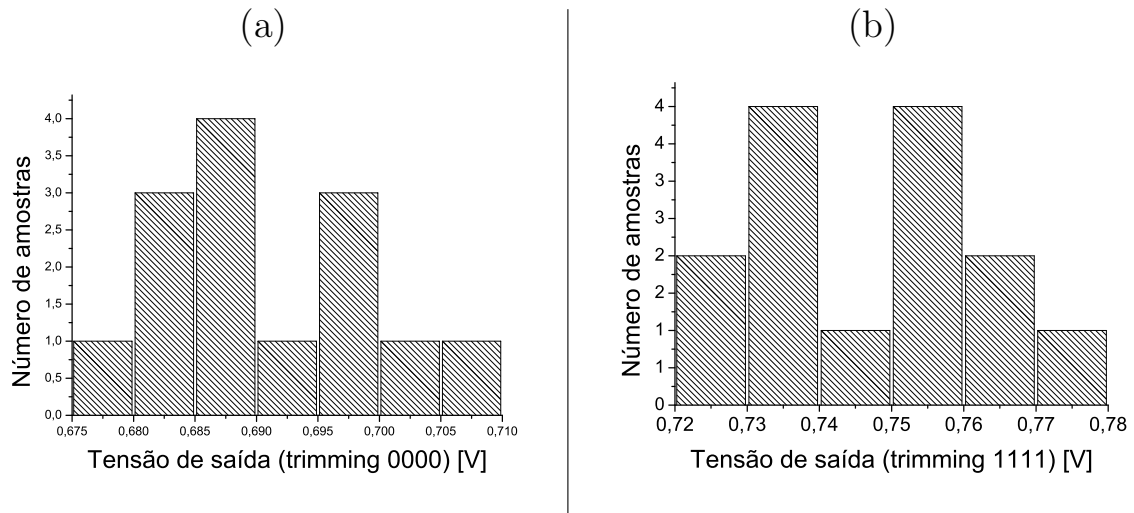


Figura 5.25: Histograma da tensão de saída de REF4 com (a)mínimo *trimming* e (b)máximo *trimming*

0 a 3,5 V, com mínimo (0000) e máximo (1111) *trimming*. O resultado é mostrado na figura 5.27. Esta análise foi feita com a saída em tensão por conta da medida do PSRR, pois assim é possível compará-la às outras referências.

Note-se que a mínima tensão de alimentação foi, novamente, maior que aquela simulada. Enquanto na simulação o mínimo valor de VDD era de 2,9 V, as medidas mostraram um VDD mínimo de 3,1 V, tanto para o máximo quanto para o mínimo *trimming*. Interessante é a medida de PSRR, feita em torno de 3,3 V de VDD, que mostrou um PSRR de 54 dB (novamente, o mesmo resultado para os dois *trimmings*, enquanto que o obtido por simulação era de 41,6 dB. Observe, porém, que este circuito tem um efeito de modulação de canal nos espelhos de saída que diminui muito a PSRR com o aumento de VDD. Se na curva de simulação for medido o PSRR em torno de 3,1 V ao invés de 3,3 V, o valor obtido passa a ser 51,7 dB, o que já se aproxima do valor medido.

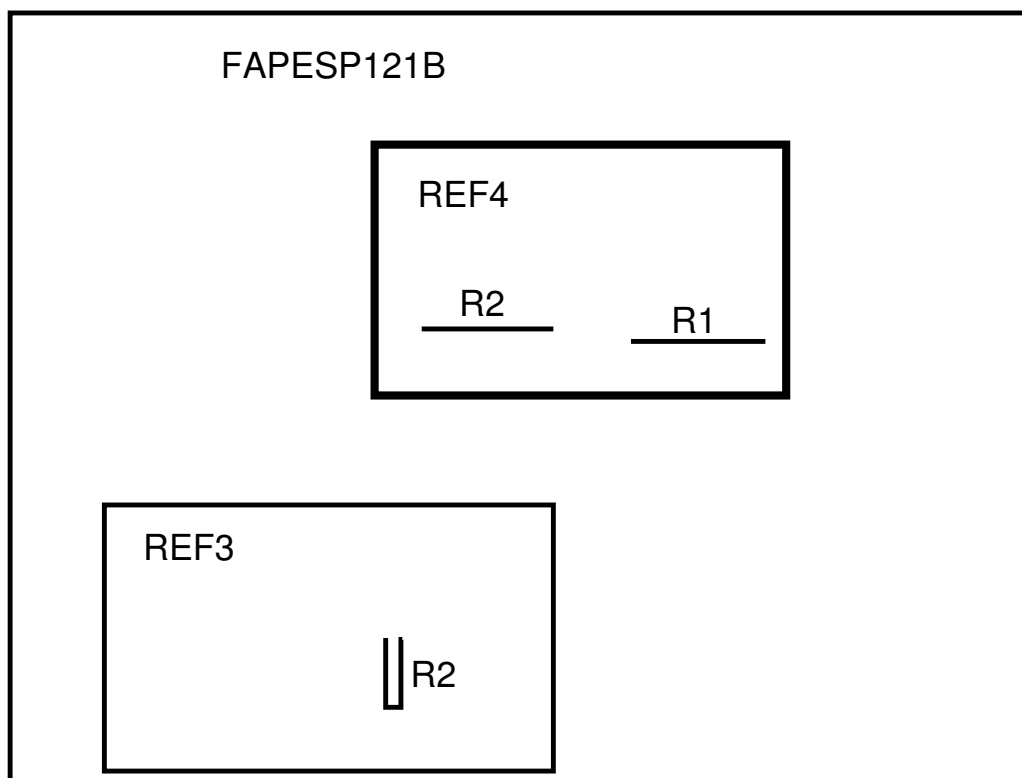


Figura 5.26: Diagrama mostrando o posicionamento dos resistores utilizados no circuito REF4.

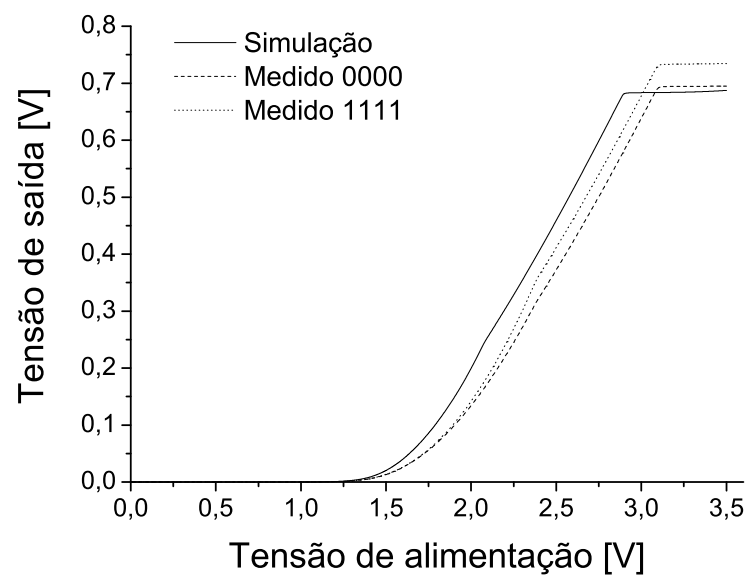


Figura 5.27: Tensão de saída do circuito REF4 em função da tensão de alimentação.

5.6 Considerações sobre a retenção de carga no transistor FGMOS

Como estão sendo utilizados transistores FGMOS para realizar o ajuste de tensões em alguns dos circuitos desenvolvidos, é de vital importância que não haja variações nas cargas depositadas no *gate* flutuante em consequência de variações térmicas. Esta característica é conhecido como *endurance*.

Para testar a ocorrência de perda de cargas em alta temperatura, os *chips* foram submetidos a três ciclos térmicos de 3 horas em 120 °C e 40 minutos em 20 °C (para medida da tensão). Quando a temperatura estabilizava em 20 °C, a saída era medida e comparada com a saída anterior. A figura 5.28 mostra um ciclo de um destes testes para quatro amostras. No início, há a variação da temperatura de -40 a 120 °C com passos de 20 °C, que foi feita para obter a resposta dos circuitos em temperatura e logo em seguida temos os três ciclos de aquecimento.

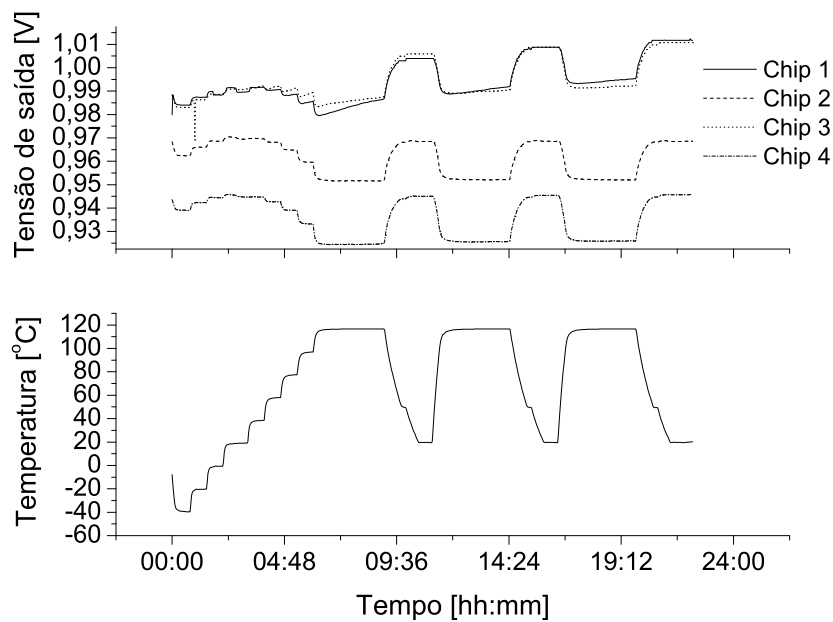


Figura 5.28: Tensões de saída dos circuitos REF2 variando com a temperatura ao longo de um teste de *endurance*.

É bem visível nesta figura que os *chips* 1 e 2 sofrem realmente uma variação de tensão quando estão na temperatura de 120 °C, mostrando que há fuga de corrente nos *gates* flutuantes destes circuitos. Já nos *chips* 3 e 4, praticamente não há mudanças na tensão de saída após a estabilização da temperatura, mostrando que o efeito da variação de cargas em alta temperatura não afeta todos os *chips*.

Este teste foi feito para todos os *chips* disponíveis e as diferenças entre as tensões de saída do circuito na temperatura de 20 °C antes e depois das três séries de aquecimento foram medidas. A figura 5.29 mostra um histograma destas variações de tensão, onde se vê que mais da metade dos *chips* apresenta uma variação mínima, muito próxima a zero, e que as variações grandes, quando ocorrem, são sempre positivas, ou seja, no sentido de aumentar a tensão de saída. O formato do histograma leva a crer que este fenômeno tem uma densidade de probabilidade exponencial (como mostrado na figura), mas ainda são poucas as amostras para comprovar isto.

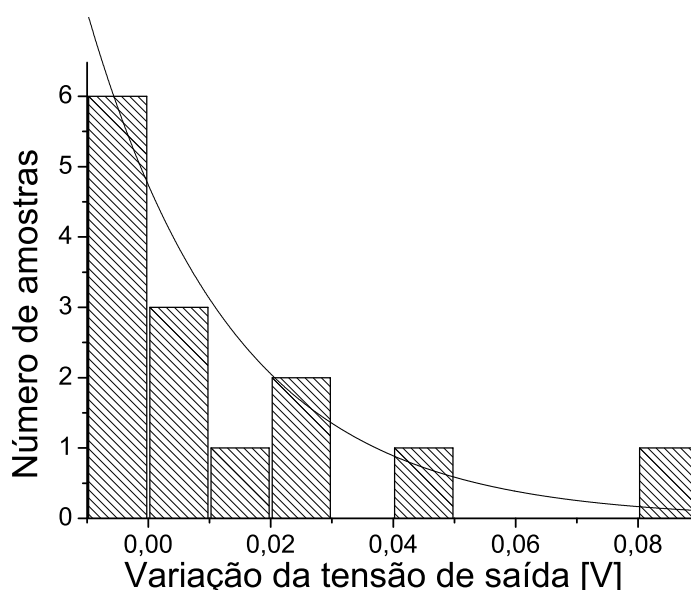


Figura 5.29: Histograma da variação da tensão de saída do circuito REF2 por conta de correntes de fuga em altas temperaturas.

As amostras que tiveram as maiores variação de tensão em 120 °C foram escolhidas para repetir o teste em 80 e 100 °C. As variações de tensão obtidas após 9 horas em cada uma destas temperaturas são mostradas na tabela 5.9. Nota-se que a diminuição da variação com a diminuição da temperatura é muito grande, e que a maior variação obtida após o aquecimento em 80 °C é de 0,9 mV; muito menor que os 80,08 mV de variação após o aquecimento à 120 °C.

Disto se conclui que, operando os circuitos em temperaturas abaixo de 80 °C, a técnica de retenção de cargas como mecanismo de ajuste fino em circuitos integrados pode ser adotada com segurança.

Tabela 5.9: Variação da tensão de saída do circuito REF2 por conta de correntes de fuga ao longo de nove horas em altas temperaturas.

	Variação de tensão [mV]				
<i>Chip #:</i>	1	2	6	9	13
em 80 °C	0,17	0,39	0,33	0,24	0,9
em 100 °C	3,09	7,54	4,86	6,12	2,27
em 120 °C	22,12	80,08	40,90	22,46	14,25

5.7 Resistência integrada e consumo de corrente

Nos circuitos REF2, REF3 e REF4, os transistores cujas correntes fluem pelo resistor têm um tamanho 10 vezes maior que os outros, fazendo com que, pelos braços que têm estes resistores, flua uma corrente 10 vezes maior. Isto foi feito deste modo para que o resistor possa ser feito com área dez vezes menor. Deste modo, enquanto a resistência do circuito REF1 é maior que 100 k Ω , fazendo com que este elemento ocupe uma grande área, nos outros circuitos as resistências são da ordem de 15 k Ω , ocupando então uma área bem menor.

É perfeitamente possível implementar os mesmos circuitos com uma corrente menor, utilizando resistores maiores, contanto que os transistores sejam redimensionados para que a queda de tensão sobre o resistor permaneça a mesma, pois deste modo o circuito opera da mesma maneira, o que foi comprovado em simulação.

5.8 Circuito tipo *Bandgap*

O circuito *bandgap* aqui projetado é uma versão na tecnologia CMOS 0,35 μm de um circuito implementado em 0,6 μm como parte do projeto de dissertação de mestrado do autor[29]. Seu diagrama esquemático é mostrado na figura 5.30.

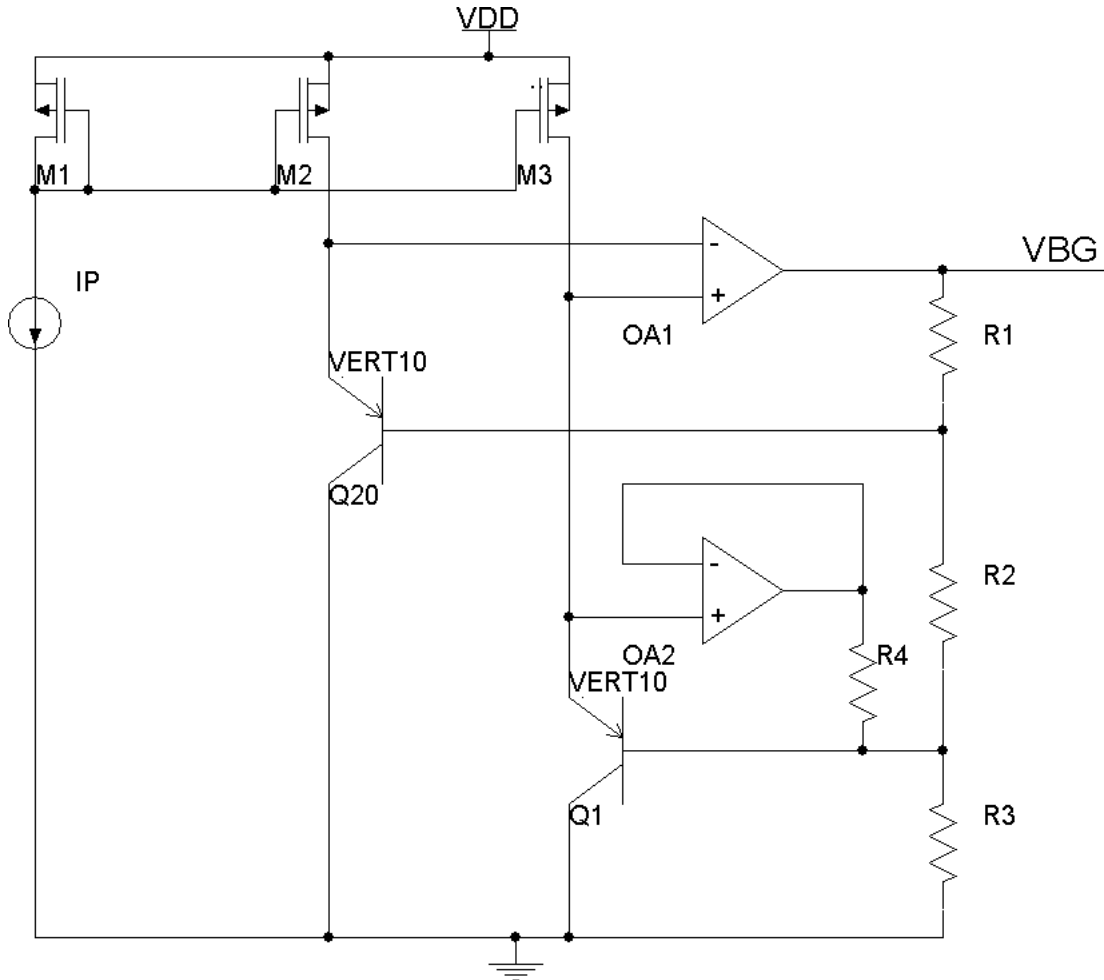


Figura 5.30: Diagrama esquemático simplificado do *bandgap* projetado.

A realimentação do amplificador OA1 faz com que as tensões nos emissores dos dois bipolares fiquem iguais. Com isto a tensão ΔV_{BE} é aplicada sobre o resistor R2. As correntes sobre os bipolares são iguais e a relação de área deles é 20 (Q20 é implementado como 20 transistores iguais a Q1 em paralelo). O amplificador OA2 funciona como um buffer, fazendo com que a corrente sobre R4 seja $V_{BE}(Q1)/R4$. Com isto a tensão de saída V_{BG} se torna:

$$V_{BG} = \frac{\Delta V_{BE}}{R2} \cdot (R1 + R2 + R3) + \frac{V_{BE}(Q1)}{R4} \cdot R3 \quad (5.11)$$

Se $R1$ e $R3$ tiverem o mesmo tamanho, as correntes de base dos transistores se cancelam. Fazendo $R3$ igual a $R4$ e ajustando o valor de $R2$, obtêm-se uma tensão de *bandgap* na saída. Neste circuito foram feitos $R1 = R3 = R4 = 60\text{k}\Omega$ e $R2 = 17\text{k}\Omega$. O *trimming* do circuito é feito variando o resistor $R2$, de modo similar ao feito no circuito REF1.

A fonte de corrente projetada para este circuito infelizmente não funcionou, impedindo a caracterização do circuito. O circuito, entretanto, foi simulado e testado com uma fonte de corrente externa de $10\text{ }\mu\text{A}$. Na figura 5.31 está a curva simulada da tensão V_{BDGP} em função da temperatura, obtendo $32,66\text{ ppm}/^\circ\text{C}$. A simulação DC mostra que a mínima tensão de alimentação deste circuito é de $2,15\text{ V}$ e seu PSRR é de $36,2\text{ dB}$.

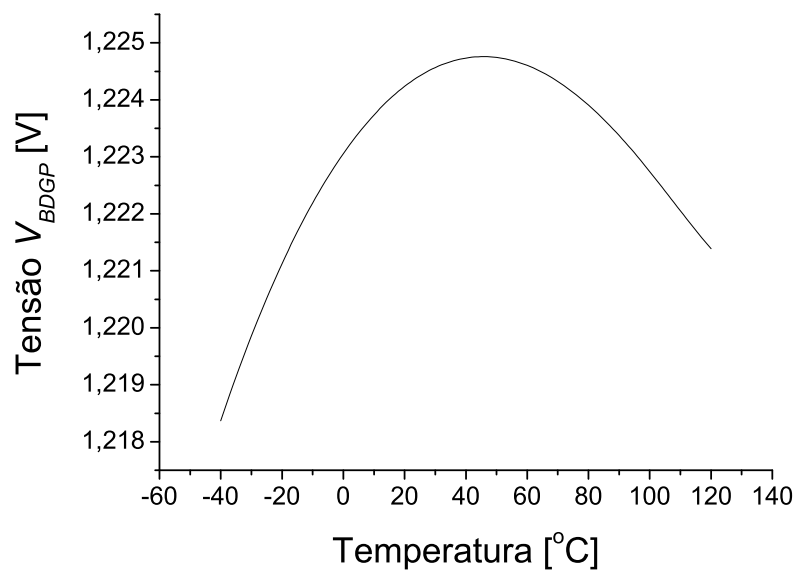


Figura 5.31: Simulação da tensão de saída do *bandgap* em função da temperatura.

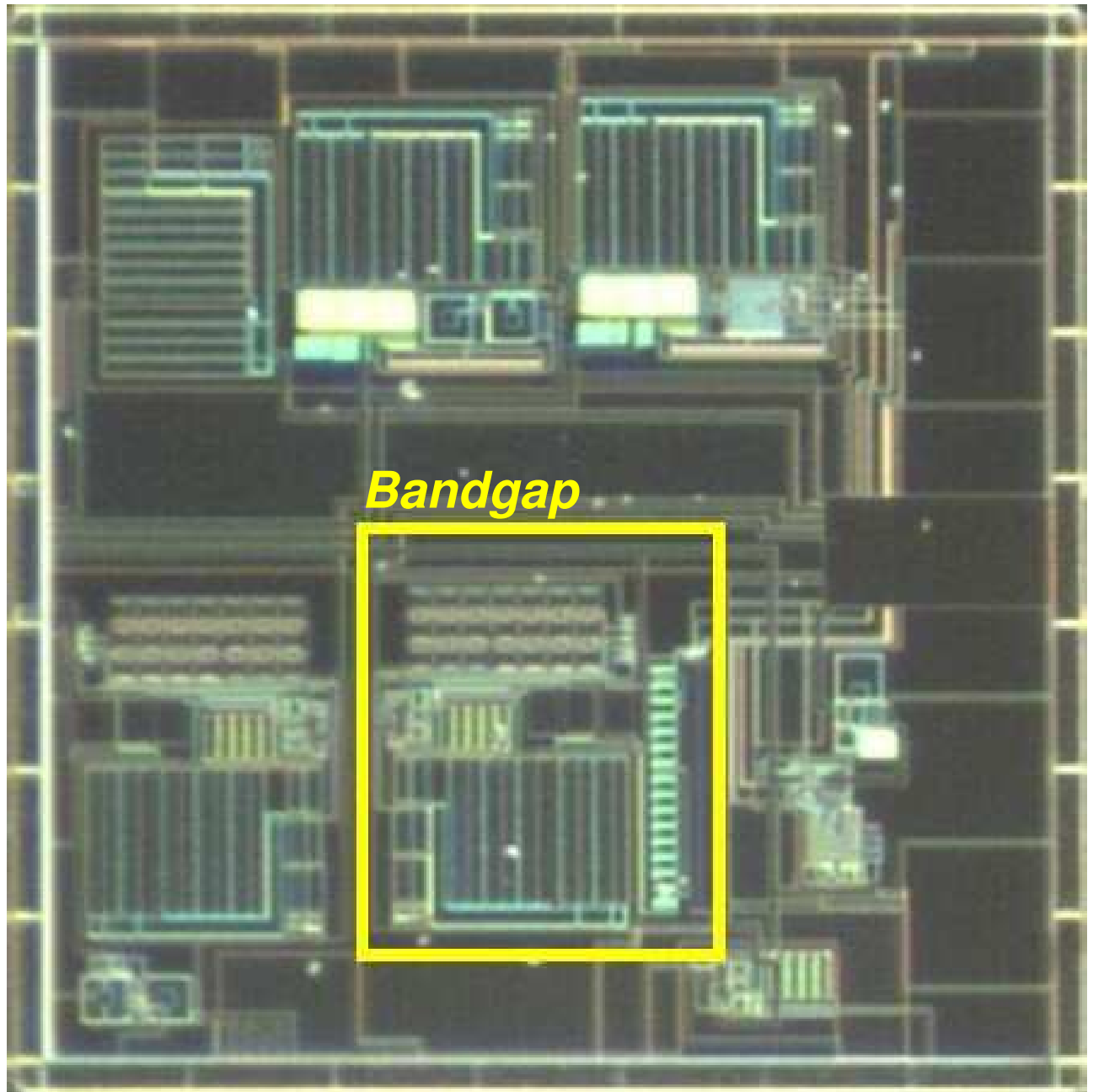


Figura 5.32: Fotomicrografia da fonte de referência integrada tipo *bandgap*.

5.8.1 Medidas do circuito *bandgap*

A fonte de referência do tipo *bandgap* foi fabricada, juntamente com outros circuitos, através do agente MOSIS, recebendo o código T44DAL, a foto deste circuito é mostrada na figura 5.32. Suas dimensões são de $237 \mu\text{m} \times 236 \mu\text{m}$, sendo aproximadamente 15 % desta área ocupada pelos transistores bipolares, 40 % pelos resistores e 45 % pelos amplificadores.

Infelizmente, devido a um problema que só foi identificado no momento de mandar o circuito para fabricação, foi necessário trocar os resistores de poly de alta resistência por resistores de poly simples, o que foi feito *sem a devida correção nos valores* necessária pelos diferentes coeficientes térmicos dos dois resistores. Por conta disto nenhum dos circuitos fabricados apresentou uma boa resposta em temperatura. Como exemplo, a resposta de um dos circuitos é mostrada na figura 5.33

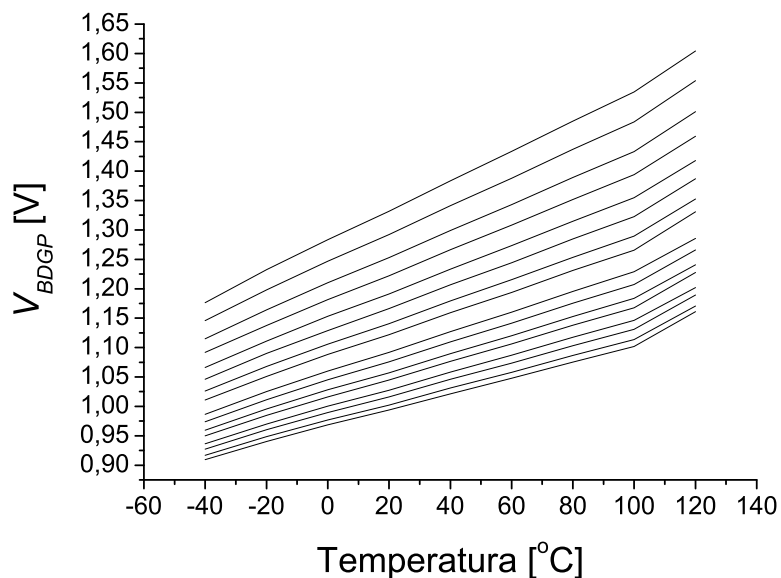


Figura 5.33: Tensão de saída de uma das amostras do *bandgap* em função da temperatura, para os 16 valores possíveis de *trimming*.

A análise DC deste circuito é mostrada na figura 5.34, onde se nota que está parecido com o simulado. O formato estranho da curva se deve a fonte de corrente externa, que mantém uma corrente no circuito mesmo quando o VDD é zero. A partir desta medida se obtém a mínima tensão de alimentação (2,57 V medido e 2,15 V simulado) e o PSRR (43,1 e 36,2 dB medido e simulado respectivamente).

As tensões de saída de todas as amostras foram medidas na temperatura ambiente com o máximo e o mínimo *trimming* para observar seu espalhamento. A figura 5.35 mostra histogra-

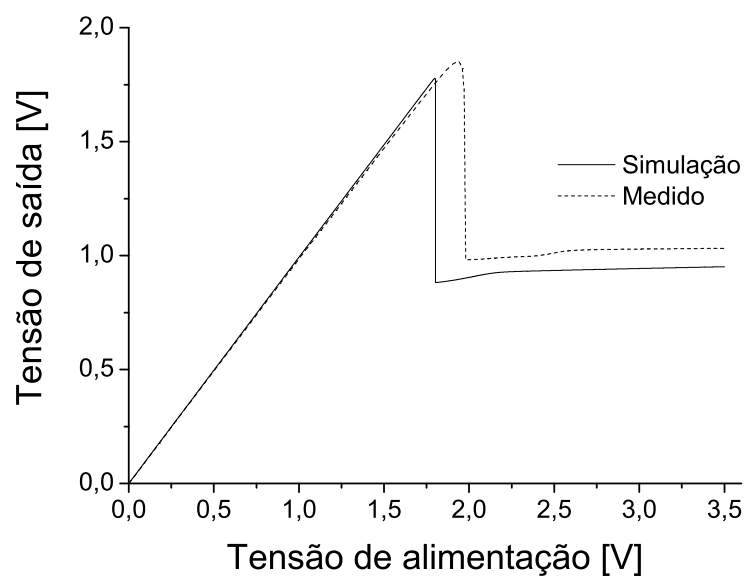


Figura 5.34: Tensão de saída do circuito *bandgap* em função da tensão de alimentação.

mas destas medidas.

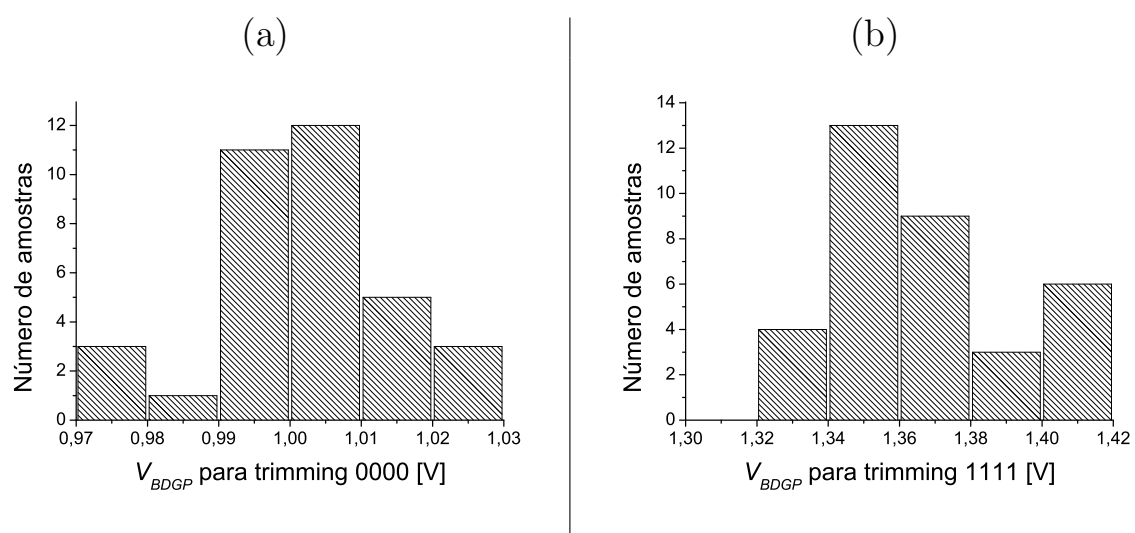


Figura 5.35: Histograma da tensão de saída do *bandgap* com (a)mínimo *trimming* e (b)máximo *trimming*

5.9 Conclusões

Quatro circuitos foram desenvolvidos com base no novo princípio para gerar uma tensão de referência. Estes circuitos e mais um circuito tipo *bandgap* para comparação foram fabricados. O circuito REF3 não funcionou devido a um erro de layout e foi obtida apenas uma amostra do REF1, portanto não foi possível obter resultados quanto ao espalhamento deste circuito.

Em cada circuito foram feitas medidas em temperatura, com ajuste da tensão de saída através dos métodos de *trimming* de cada circuito para obter o melhor coeficiente térmico. Foi observado nestes testes que o modelo de simulação do resistor empregado diminuiu a performance dos circuitos REF2 e REF4.

Além disso, foi realizada uma análise de varredura da tensão de alimentação em cada circuito a fim de obter a mínima tensão de alimentação e rejeição de linha. No circuito REF2 ainda foi realizada uma análise de retenção de carga, que mostrou que este circuito só funciona para temperaturas abaixo de 85 °C.

Capítulo 6

Discussão dos dados

6.1 Introdução

Neste capítulo são comparados os resultados obtidos com os diversos circuitos desenvolvidos, observando quais as melhores características de cada implementação. A partir desta análise, um novo circuito é projetado, e resultados de simulação deste novo circuito são apresentados.

6.2 Comparação entre os circuitos

A tabela 6.1 mostra um resumo dos valores obtidos com as medidas realizadas nos circuitos desenvolvidos. O TC relacionado foi o melhor entre os medidos enquanto que os dados mencionados do REF3 e do *bandgap* correspondem a simulação. Como há neste circuito do *bandgap* a possibilidade de implementar a compensação de segunda ordem pelas correntes de base dos transistores, foi colocado em parênteses o valor do TC que seria obtido neste caso. O consumo de corrente foi obtido por simulação, uma vez que os circuitos não tinham pinos de alimentação exclusivos.

Tabela 6.1: Resumo dos valores medidos.

	REF1	REF2	REF3*	REF4	<i>bandgap</i> *
TC [ppm/°C]	75,5	106,989	73,88	8,97	32,66 (8)
PSRR [dB]	41,28	46,02	38,5	54,0	43,1
Mínimo VDD [V]	1,95	2,18	3,04	3,1	2,57
Espalhamento	-	pouco (nenhum)	-	alto (60 mV)	médio (10 mV)
Área [mm ²]	0,0313	0,006225	0,01502	0,01442	0,05593
Consumo [μ A]*	11,3	67,1	149,3	99,3	121,2

* Valores Obtidos por simulação.

6.2.1 Coeficiente térmico

Infelizmente os circuitos não foram otimizados em relação a compensação de segunda ordem, por isso eles apresentam coeficientes térmicos altos, exceto o circuito REF4 que em uma das amostras apresentou um TC de 8,97 ppm/°C, mostrando que este princípio de fontes de referência pode atingir uma estabilidade térmica comparável a um *bandgap* com compensação de segunda ordem. O equacionamento da compensação em segunda ordem mostra ser possível que valores tão baixos sejam alcançados também nos outros circuitos.

6.2.2 Rejeição de linha

Tanto o REF1 quanto o REF2 apresentaram um PSRR comparável com o do *bandgap*. O REF4 tem um PSRR melhor apenas porque usa os espelhos cascode, às custas da mínima tensão DC necessária, que é a mais alta entre os circuitos. A simulação mostra que se o circuito REF4 fosse implementado com espelhos comuns, ele teria uma rejeição de linha da ordem de 33 dB, ou seja, muito pior que os outros circuitos. Isto é explicado pelo fato de que, no circuito REF4, a variação de VDD leva diretamente a variação da corrente de saída, enquanto que nos circuitos REF1, REF2, a variação da corrente faz variar tanto V_{GS1} quanto V_{GS2} , o que faz com que a variação da tensão de saída seja diminuída. Num circuito tipo *bandgap*, a variação da corrente causa variação em V_{BE} , mas não em ΔV_{BE} , além disso, a fonte de corrente neste circuito era externa e não variava com o VDD, logo sua rejeição de linha é boa. Já no caso do circuito REF3, a variação das correntes I_c e I_p se somam, fazendo com que este circuito tenha uma rejeição de linha pior que os outros.

6.2.3 Área e consumo

Comparando o circuito REF2 com o REF4, este último tem um consumo e uma área maior que o primeiro. A maior área se deve principalmente ao maior número de resistores e um pouco ao *layout* desta estrutura, que não está otimizado. O maior consumo é devido à amplitude da corrente de saída, que é grande quando comparada aos níveis de corrente dos outros circuitos. Se os espelhos de saída forem reduzidos, o consumo também diminui, mas ao custo de ser preciso aumentar o resistor de saída.

Como já foi mencionado no capítulo 5, os circuitos REF2 e REF4 utilizam resistências menores que o REF1 e assim podem ser implementados numa área menor enquanto que o alto valor das resistências utilizadas em REF1 permitem um consumo bastante baixo. Comparando os circuitos REF1 e REF2, nota-se que o primeiro ocupa uma área aproximadamente cinco vezes maior que a do segundo, e tem uma corrente aproximadamente seis vezes menor, de onde se vê que há uma faixa de ajustes possíveis, dependendo da necessidade de otimizar área ou

consumo.

É difícil comparar estes valores com os do *bandgap*, uma vez este circuito utiliza amplificadores que ocupam cerca de 45 % da área do *chip* e utilizam 2 terços da corrente necessária, de modo que ele tem uma maior área e consome maior corrente que os circuitos REF1, REF2 e REF4. Comparando o *bandgap* com o REF3, que também tem um OTA (apesar de ser um projeto diferente de OTA, mais compacto), nota-se que apesar do *bandgap* ainda ter a maior área, o consumo de corrente de REF3 é um pouco maior que o do *bandgap*. Tira-se daí que o uso do amplificador não traz realmente muita vantagens. Infelizmente não foi feito outro circuito do tipo *bandgap* utilizando outra topologia para uma comparação mais refinada.

6.2.4 Mínima tensão de alimentação

Os circuitos que operam com as menores tensões de alimentação são o REF1 e o REF2. A tensão mínima de operação destes circuitos está próxima de 2 V, limitada principalmente pela tensão $2V_{GS}$. Observe, porém, que o circuito REF4 pode trabalhar em tensões ainda menores, se não for utilizado o espelho cascode. Se o método utilizado para gerar a fonte de referência for aquele utilizado no protótipo (vide figura 4.2 na página 44), que não apresenta a tensão $2V_{GS}$ explicitamente, mas a gera dentro do FGMOS, é possível obter um circuito que opere com uma tensão ainda menor que as obtidas.

6.2.5 Espalhamento

Como havia apenas uma amostra do circuito REF1, não foi possível analisar o espalhamento relativo a esta topologia. Além disso, tanto o circuito REF4 quanto o *bandgap* não puderam ser estabilizados, com isso não foi possível obter as medidas de espalhamento da tensão ajustada, mas apenas do máximo valor possível (*trimming* 1111). Apesar disto, como estas medidas estão de acordo com outros resultados de espalhamento medidos em outro circuito do tipo *bandgap* usando transistores verticais[42], é razoável considerar estes dados como próximos da realidade.

Dos circuitos com várias amostras, nota-se que o REF4 tem o maior espalhamento, que é principalmente devido ao descasamento dos resistores, como já explicado. Por outro lado, é bem provável que uma parte deste espalhamento seja causada por variações da tensão de limiar, que é um termo direto da tensão gerada por estes circuitos. De acordo com o manual do processo[35], o V_{Th0} pode ter um valor entre 0,36 e 0,56 V, e em 15 *chips* da mesma rodada foi medida uma variação de 4 mV, logo, com base no espalhamento do V_{Th} , é de se esperar que os circuitos REF1 e REF2 tenham um espalhamento igual ou maior que o *bandgap*, cujo espalhamento é causado principalmente pelo *offset* do amplificador operacional.

Como o circuito REF3, ainda por cima, se utiliza de um OTA assim como o *bandgap*, este provavelmente seria o circuito com maior espalhamento. Porém, quando se trata do circuito REF2, como o mecanismo de *trimming* é justamente o ajuste do V_{Th} efetivo do transistor, logo o ajuste compensa o espalhamento do V_{Th} dos transistores envolvidos e a variação é devida a outros efeitos. Como pode ser visto na figura 5.13, na página 65, o ajuste da tensão de saída pode ser feito com alta precisão, de onde conclui-se que o espalhamento desta fonte de referência de tensão é muito pequena.

6.3 Continuação dos trabalhos

Com base nos resultados obtidos com os circuitos REF1, REF2, REF4 e com o protótipo, um novo circuito REF5 foi desenvolvido procurando uma otimização em termos de estabilidade térmica e baixa tensão de alimentação.

A partir dos resultados obtidos, as seguintes escolhas foram feitas quanto a este circuito:

- A fonte de corrente foi escolhida como sendo a baseada em ΔV_{GS} em função desta fonte mostrar-se menos sensível a não-linearidade térmica do resistor.
- As dimensões dos transistores M3, M4 e o valor do resistor R1 foram ajustados em simulação para obter uma corrente com coeficiente térmico próximo aquele calculado como sendo o que gera uma segunda derivada da tensão de referência nula.
- A tensão de saída V_R é gerada pelo método utilizado no protótipo, onde a tensão de $2V_{GS}$ não aparece explicitamente, o que permite o uso de uma menor tensão de alimentação.

O diagrama esquemático deste circuito é mostrado na figura 6.1.

Este circuito ainda não foi fabricado, por isso os resultados apresentados aqui são apenas de simulação. Tendo em vista que os resultados das simulações dos circuitos anteriores apresentaram valores próximos aos medidos (quando foi utilizado o resistor com TC1 e TC2), este circuito provavelmente terá uma performance próxima a obtida na simulação.

A figura 6.2 mostra a curva $V_R \times V_{DD}$, onde se observa que este novo circuito opera com uma tensão baixa, funcionando a partir de 1,3 V de V_{DD} . Porém, por volta de 3,3 V de alimentação, o efeito de modulação de canal já é bastante acentuado, fazendo com que a rejeição de linha seja muito ruim (19,99 dB). Por isto este circuito foi ajustado considerando um V_{DD} de 1,8 V, onde se obtêm uma rejeição de linha de 40,49 dB. Para este valor de V_{DD} , a corrente total do circuito é de $7,25 \mu A$, menor que qualquer um dos circuitos anteriores.

A figura 6.3 mostra a corrente de dreno do transistor M8 em função da temperatura. O coeficiente térmico desta corrente é de 10530 ppm/°C, enquanto que o calculado para obter a segunda derivada nula em T0 foi de 11656,9 ppm/°C (vide página 41).

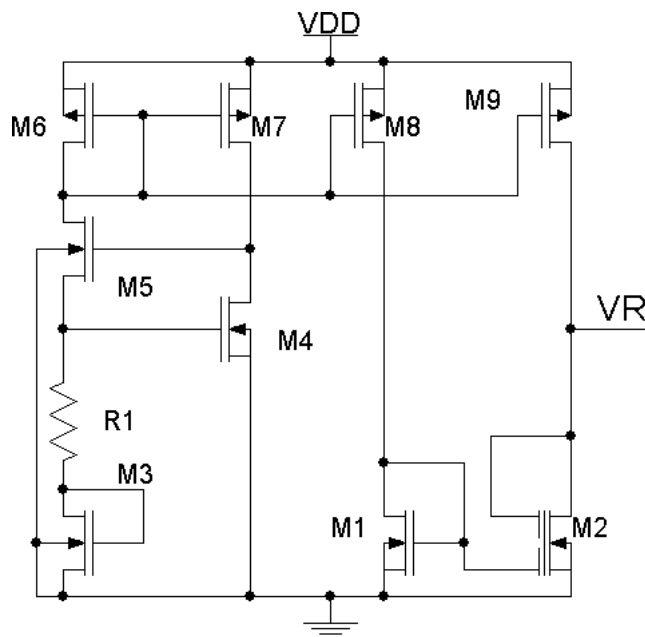


Figura 6.1: Diagrama esquemático da fonte de referência REF5.

A curva de V_R em função da temperatura, obtida para $V_{DD} = 1,8 \text{ V}$ é mostrada na figura 6.4. Foi obtido um coeficiente térmico de $5,9 \text{ ppm}/^\circ\text{C}$ de -40 a 120°C . Porém, se este coeficiente é calculado de 0 a 80°C , o valor obtido passa a ser $1,8 \text{ ppm}/^\circ\text{C}$, indicando ser possível obter uma referência de tensão muito boa com este circuito, caso este resultado de simulação se confirme.

6.4 Conclusões

Os circuitos desenvolvidos mostraram a viabilidade de uma circuito que gera a tensão de referência proposta, porém eles ainda não apresentaram um comportamento otimizado, ficando muito abaixo do estado da arte. Apesar disto, os resultados obtidos permitiram o desenvolvimento de um novo circuito, cuja simulação mostra resultados bem melhores que os já obtidos.

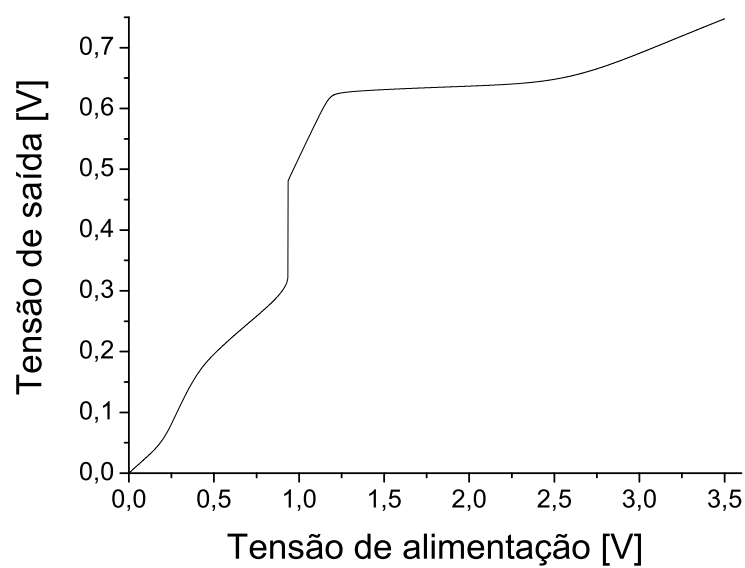


Figura 6.2: Simulação da tensão de saída do circuito REF5 em função da tensão de alimentação do circuito.

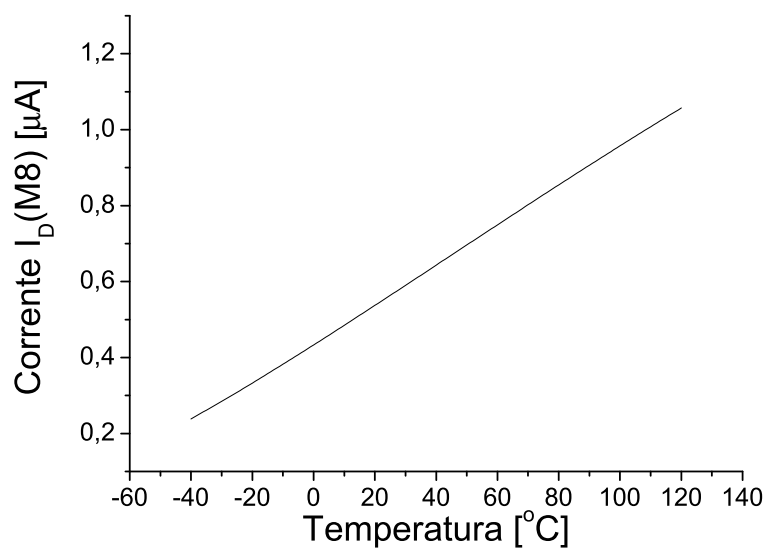


Figura 6.3: Corrente de dreno do transistor M8 em função da temperatura.

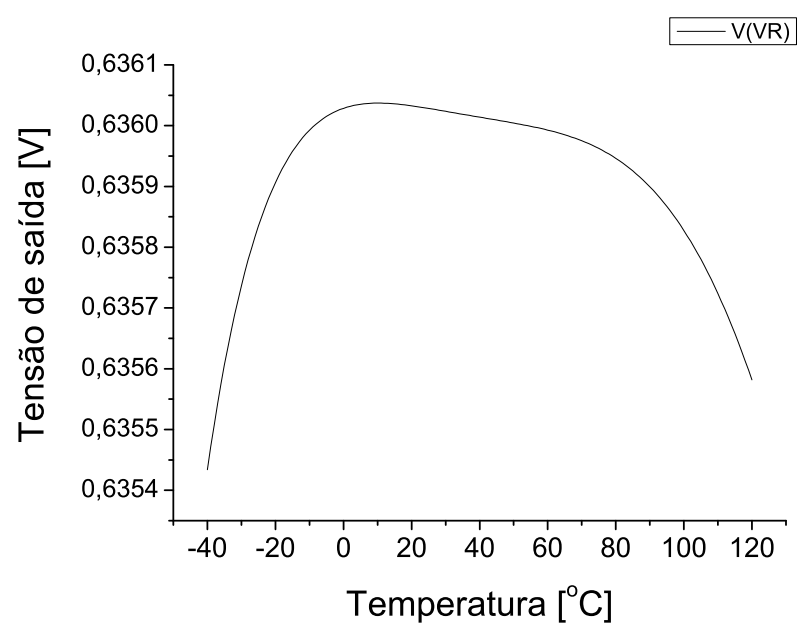


Figura 6.4: Simulação da tensão de saída do circuito REF5 em função da temperatura.

Capítulo 7

Conclusões

Neste trabalho, um novo método para gerar uma tensão de referência baseada na tensão V_{GS} de transistores MOS foi apresentado. Protótipos, implementados com transistores nMOS com *gates* flutuantes, permitiram a comprovação deste princípio e diferentes circuitos que geram uma fonte de referência foram desenvolvidos com base neste novo princípio.

Os circuitos desenvolvidos apresentaram uma performance igual ou superior à de um circuito do tipo *bandgap*, que é *de facto* o padrão em termos de fontes de referência integradas na atualidade. Análises posteriores mostraram que estes resultados podem ser ainda melhores, e que um dos fatores que diminuiu o desempenho de alguns destes circuitos foi a adoção de um comportamento térmico linear atribuído ao resistor utilizado. Posteriormente, foi visto que os resistores apresentavam um comportamento não-linear.

Além destes resultados, já comprovando a viabilidade do princípio proposto, foi introduzido em um dos circuitos a possibilidade de ajuste através da deposição de cargas em um dispositivo FGMOS, viabilizando assim um ajuste muito preciso da tensão de referência, e uma ampla faixa de tensões de saída possíveis, ou seja, a programabilidade em campo da tensão de referência produzida.

É importante ressaltar que este método de ajuste não necessita de equipamentos caros ou processos demorados, bastando apenas a capacidade de gerar pulsos bipolares com amplitudes de 15 V para que ele seja feito. Como este método age, efetivamente, alterando o V_{Th} do transistor FGMOS, que é o parâmetro do transistor que mais afeta o espalhamento desta referência de tensão, esta referência tem um espalhamento bem menor que o encontrado em circuitos do tipo *bandgap*. Em contrapartida, este método impede o uso do circuito em altas temperaturas (acima de 85 °C), pois isto leva a correntes de fuga que fazem o circuito perder o ponto ajustado.

Um novo circuito projetado com base nos resultados dos circuitos testados apresentou resultados de simulação ainda melhores, operando com uma tensão de alimentação de 1,8 V

(podendo chegar até 1,3 V) e consumindo uma corrente de 7,25 μA , este circuito obteve um TC de 5,9 ppm/ $^{\circ}\text{C}$ de -40 a 120 $^{\circ}\text{C}$ e 1,8 ppm/ $^{\circ}\text{C}$ de 0 a 80 $^{\circ}\text{C}$, ainda mantendo a característica muito útil de permitir um fácil ajuste da tensão de alimentação em uma ampla faixa de valores possíveis.

Referências Bibliográficas

- [1] R.J. Widlar. New developments in IC voltage regulators. *IEEE Journal of Solid-State Circuits*, SC-6:2–7, 1971.
- [2] A. Paul Brokaw. A simple three-terminal IC bandgap reference. *IEEE Journal of Solid-State Circuits*, SC-9(6):388–393, Dezembro 1974.
- [3] Carl R. Palmer and Robert C. Dobkin. A curvature corrected micropower voltage reference. In *Proceedings of the 1981 IEEE International Solid-State Circuits Conference*, pages 58–59, Fevereiro 1981.
- [4] Gerard C. M. Meijer, Peter C. Schmale, and Klaas van Zalinge. A new curvature-corrected bandgap reference. *IEEE Journal of Solid-State Circuits*, SC-17(6):1139–1143, Dezembro 1982.
- [5] Bang-Sup Song and Paul R. Gray. A precision curvature compensated CMOS bandgap reference. *IEEE Journal of Solid-State Circuits*, SC-18:634–643, Dezembro 1983.
- [6] R.C. Dobkin. Temperature compensated bandgap voltage reference. United States Patent 4.447.784, Maio 1984.
- [7] J. Michejda and S.K. Kim. A precision CMOS bandgap reference. *IEEE Journal of Solid-State Circuits*, SC-19:1982–1989, Dezembro 1984.
- [8] A. Pretelli, A. Richelli, L. Colalongo, and Zs. M. Kovács-Vajna. Increasing the immunity to electromagnetic interferences in a bandgap voltage reference. In *Proceedings of the 2003 International Symposium on Circuits and Systems*, volume 1, pages 377–380, Maio 2003.
- [9] A. Pretelli, A. Richelli, L. Colalongo, and Zs. M. Kovács-Vajna. Robust design of bandgap voltage references with low EMI susceptibility. In *IEEE International Symposium on Electromagnetic Compatibility*, pages 298–302, 2003.
- [10] Liu Su and Liu Feng. A bandgap voltage reference generator for an analogue-to-digital converter. *Semiconductor Science and Technology*, 18:817–819, 2003.

- [11] G. Tzanateas, C. A. T. Salama, and Yannis P. Tsividis. A CMOS bandgap voltage reference. *IEEE Journal of Solid-State Circuits*, SC-14(3):655–657, Junho 1979.
- [12] E.A. Vittoz and O. Neyrond. A low voltage CMOS bandgap reference. *IEEE Journal of Solid-State Circuits*, SC-14(3):573–577, Junho 1979.
- [13] M.G.R. Degrauwe, O.N. Leuthold, E.A. Vittoz, H.J. Oguey, and A. Descombes. CMOS voltage references using lateral bipolar transistors. *IEEE Journal of Solid-State Circuits*, SC-20:1151–1157, Dezembro 1983.
- [14] M. Ferro, F. Salerno, and R. Castello. A floating CMOS bandgap voltage reference for differential applications. *IEEE Journal of Solid-State Circuits*, SC-24:690–697, Junho 1989.
- [15] G. Nicollini and D. Senderowicz. A CMOS bandgap reference for differential signal processing. *IEEE Journal of Solid-State Circuits*, 26:41–50, Janeiro 1991.
- [16] M. A. T. Sanduleanu, A. J. M. van Tuijl, and R. F. Wassenaar. Accurate low power bandgap voltage reference in 0.5 μm CMOS technology. *Electronics Letters*, 34:1025–1026, 1998.
- [17] Arne E. Buck, Charles L. McDonald, Stephen H. Lewis, and T. R. Viswanathan. A CMOS bandgap reference without resistors. In *International Solid-State Circuits Conference*, number 1, pages 442–443, Janeiro 2000.
- [18] Bruce W. McNeill and Robert W. Walden. CMOS bandgap voltage reference. United States Patent 6.150.872, 2000.
- [19] Richard Stair, J. Alvin Connelly, and Mark Pulkin. A current mode CMOS voltage reference. In *Southwest Symposium on Mixed-Signal Design*, pages 23–26, Fevereiro 2000.
- [20] Arne E. Buck, Charles L. McDonald, Stephen H. Lewis, and T. R. Viswanathan. A CMOS bandgap reference without resistors. *IEEE Journal of Solid-State Circuits*, 37(1):81–83, Janeiro 2002.
- [21] Ka Nang Leung and Philip K. T. Mok. A CMOS voltage reference based on weighted $|\Delta V_{GS}|$ for CMOS low-dropout linear regulators. *IEEE Journal of Solid-State Circuits*, 38(1):146–150, Janeiro 2003.
- [22] Ka Nang Leung, Philip K. T. Mok, and Chi Yat Leung. A 2-v 23- μA 5.3-ppm/ $^{\circ}\text{C}$ curvature-compensated CMOS bandgap voltage reference. *IEEE Journal of Solid-State Circuits*, 38(3):561–564, Março 2003.

- [23] S. Mehrmanesh, M. B. Vahidfar, H. A. Aslanzadeh, and M. Atarodi. A 1-Volt, high PSRR, CMOS bandgap voltage reference. In *Proceedings of the 2003 International Symposium on Circuits and Systems*, volume I, pages 381–384, Maio 2003.
- [24] Cosmin Popa and Octavian Mitrea. Micropower CMOS bandgap voltage reference. In *Proceedings of the 2nd International Image and Signal Processing and Analysis*, pages 502–506, 2003.
- [25] T. Ytterdal. CMOS bandgap voltage reference circuit for supply voltages down to 0.6V. *Electronics Letters*, 39(20):1427–1428, Outubro 2003.
- [26] R.J. Widlar. An exact expression of the thermal variation of the emitter base voltage of bi-polar transistors. In *Proceedings IEEE*, pages 96–97, 1967.
- [27] Carlos Alberto dos Reis Filho. *Correção de Curvatura em Fontes de Referência Tipo Bandgap*. Tese de doutorado, Universidade Estadual de Campinas, 1982.
- [28] Gabriel A. Rincon-Mora and Phillip E. Allen. A 1.1-V current-mode and piecewise-linear curvature-corrected bandgap reference. *IEEE Journal of Solid-State Circuits*, 33(10):1551–1554, 1998.
- [29] João Paulo Cerquinho Cajueiro. Projeto de uma fonte de tensão de referência do tipo bandgap em tecnologia CMOS. Dissertação de mestrado, Universidade Estadual de Campinas, 2002.
- [30] João Paulo C. Cajueiro and Carlos A. dos Reis Filho. CMOS bandgap with base-current thermal compensation. In *15th Symposium on Integrated Circuits and Systems Design, Proceedings. of the*, 2002.
- [31] Guijie Wang. *CMOS Bandgap References and Temperature Sensors and Their Application*. PhD thesis, Technische Universiteit Delft, Janeiro 2005.
- [32] D. A. Hodges, P. R. Gray, and R. W. Brodersen. Potential of MOS technologies for analog integrated circuits. *IEEE Journal of Solid-State Circuits*, 13(3):285–294, Junho 1978.
- [33] Marcian E. Hoff, Jr. MOS reference voltage circuit. United States Patent 4.100.437, 1978.
- [34] Carlos Alberto dos Reis Filho, Murilo Pilon Pessatti, and João Paulo Cerquinho Cajueiro. Analog triangular-to-sine converter using lateral-pnp transistors in CMOS process. In *Proceedings of the 2002 ICECS*, 2002.
- [35] Austria Mikro Systeme. *0.35 μ m CMOS C35 Process Parameters*, eng. 182 rev. 2.0 edition.

- [36] E.A. Vittoz. MOS transistors operated in the lateral bipolar mode and their application in CMOS technology. *IEEE Journal of Solid-State Circuits*, SC-18:273–279, Junho 1983.
- [37] Gianluca Giustolis and Gaetano Palumbo. A new voltage reference topology based on subthreshold MOSFETs. In *ESSCIRC*, volume 50, Fevereiro 2002.
- [38] G. Giustolisi, G. Palumbo, M. Criscione, and F. Cutrì. A low-voltage low-power voltage reference based on subthreshold MOSFETs. *IEEE Journal of Solid-State Circuits*, 38(1):151–154, Janeiro 2003.
- [39] Yannis P. Tsividis and Richard W. Ulmer. A CMOS voltage reference. *IEEE Journal of Solid-State Circuits*, SC-13(6):774–778, Dezembro 1978.
- [40] Anne-Johan Annema. Low-power bandgap references featuring DTMOST's. *IEEE Journal of Solid-State Circuits*, 34(7):949–955, Julho 1999.
- [41] Cosmin Popa. DTMOST low-voltage reference circuit with logarithmic curvature-correction. In *International Semiconductor Conference*, volume 2, pages 353–356, Setembro 2003.
- [42] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers. Matching properties of MOS transistors. *IEEE Journal of Solid-State Circuits*, 24:1433–1440, 1989.
- [43] I.M. Filanovsky. Voltage reference using mutual compensation of mobility and threshold voltage temperature effects. In *Proc. IEEE International Symposium on Circuits and Systems*, number 7, pages V–197–V–200, Maio 2000.
- [44] I.M. Filanovsky and Ahmed Allam. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 48(7):876–884, Julho 2001.
- [45] Robert A. Blauschild, Patrick A. Tucci, Richard S. Muller, and Robert G. Meyer. A new NMOS temperature-stable voltage reference. *IEEE Journal of Solid-State Circuits*, SC-13:767–778, 1978.
- [46] Y. Dai, D. T. Comer, and C. S. Petrie. Threshold voltage based CMOS voltage reference. *IEE Proceedings Circuits Devices Systems*, 151(1):58–62, Fevereiro 2004.
- [47] James L. McCreary. "precision voltage reference using EEPROM technology". Technical report, V.P. Technology, Xicor Inc., 933 Murphy Ranch Road, Bldg 4, Milpitas, CA 95035, Julho 2003.

- [48] D. Kahng and S.M. Sze. A floating gate and its application to memory devices. *The Bell System Technical Journal*, 46(4):1288–1295, 1967.
- [49] James L. McCreary. Matching properies, and voltage and temperature dependence of MOS capacitors. *IEEE Journal of Solid-State Circuits*, SC-16(6):608–616, Dezembro 1981.
- [50] Yannis P. Tsividis. *Operation and modeling of the MOS transistor*. McGraw-Hill, 1999.
- [51] João Carlos Felicio Brito. Referencia de tensão MOS. Dissertação de mestrado, UNICAMP, 1994.
- [52] A. Ortiz-Conde, F.J. García Sánchez, J.J. Liou, A. Cerdeira, M. Estrada, and Y. Yue. A review of recent MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, 42:583–596, 2002.
- [53] K. Yang and A.G. Andreou. A multiple-input differential amplifier based on charge sharing on a floating gate MOSFET. *Journal of Analog Integrated Circuits and Signal Processing*, 6(3), 1994.
- [54] A. G. Andreou and K. W. Yang. A multiple-input differential-amplifier based on charge sharing on a floating gate MOSFET. *Analog Integrated Circuits and Signal Processing*, 6(3):167–179, 1994.
- [55] Bradley A. Minch. Floating gate layout suggestions. <http://www.klab.caltech.edu/~ania/research/Telluride2003/fglayout.pdf>.
- [56] Stephen Gasiorowicz. *Física Quântica*. Editora Guanabara Dois, 1979.
- [57] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, 1987.